

博士论坛

一种高速TLB的设计与实现

刘宗林, 吴虎成, 唐涛, 党桂斌

国防科技大学 计算机学院, 长沙 410073

收稿日期 修回日期 网络版发布日期 2007-5-19 接受日期

摘要 为了加快微处理器中线性地址向物理地址转换的速度, 提出了一种高速TLB结构。结构采用全定制的CAM阵列和SRAM阵列, 并根据CAM和SRAM单元的输出特点设计了精巧的读出放大逻辑, 有效提高了TLB的读出速度。经流片测试, 表明设计正确可靠, 能够保证地址转换延时在1 ns左右。

关键词 [Translate Look-aside Buffer \(TLB\)](#) [CAM](#) [SRAM](#) [替换策略](#) [地址转换](#)

分类号

Design and implementation of high-speed TLB

LIU Zong-lin, WU Hu-cheng, TANG Tao, DANG Gui-bin

School of Computer, National University of Defense Technology, Changsha 410073, China

Abstract

A new high-speed TLB architecture is designed for accelerating the address transition rate from linear address to physical one in micro processors. Full custom circuit parts of CAM and SRAM are adopted. According to the output signal characteristic of the tow kinds of storage units, amplifying and reading circuits are elaborately designed to improve the reading speed of TLB. Taped out chips can work correctly and reliably, and can keep the transition delay at about 1 ns.

Key words [Translate Look-aside Buffer \(TLB\)](#) [CAM](#) [SRAM](#) [replacement strategy](#) [address transition](#)

DOI:

通讯作者 刘宗林 [E-mail: liuzonglin@nudt.edu.cn](mailto:liuzonglin@nudt.edu.cn)

扩展功能

本文信息

▶ [Supporting info](#)

▶ [PDF\(933KB\)](#)

▶ [\[HTML全文\]\(0KB\)](#)

▶ [参考文献](#)

服务与反馈

▶ [把本文推荐给朋友](#)

▶ [加入我的书架](#)

▶ [加入引用管理器](#)

▶ [复制索引](#)

▶ [Email Alert](#)

▶ [文章反馈](#)

▶ [浏览反馈信息](#)

相关信息

▶ [本刊中 包含“Translate Look-aside Buffer \(TLB\)”的 相关文章](#)

▶ 本文作者相关文章

- [刘宗林](#)
- [吴虎成](#)
- [唐涛](#)
- [党桂斌](#)