

工程应用技术实现

片上多处理器中的Cache压缩和接口压缩

肖俊华^{1,2}, 冯子军^{1,2}, 章隆兵¹

(1. 中国科学院计算技术研究所, 北京100080; 2. 中国科学院研究生院, 北京100039)

收稿日期 修回日期 网络版发布日期 2008-2-19 接受日期

摘要 提出一种简单的基于频繁值和频繁模式的压缩方法, 给出结合Cache压缩技术和接口压缩技术的片上多处理器结构。全系统的模拟结果表明Cache压缩技术和接口压缩技术能提高片上多处理器中Cache的有效容量和pin的有效带宽, 从而提高系统的性能。实验表明只采用Cache压缩技术平均能提高10%的性能, 只采用接口压缩技术平均能提高5.5%的性能, 同时采用Cache压缩技术和接口压缩技术平均能提高12%的性能。

关键词 [片上多处理器](#) [Cache压缩](#) [接口压缩](#)

分类号 [TP391](#)

DOI:

通讯作者:

作者个人主页: [肖俊华^{1;2};冯子军^{1;2};章隆兵¹](#)

扩展功能

本文信息

- ▶ [Supporting info](#)
- ▶ [PDF \(108KB\)](#)
- ▶ [\[HTML全文\] \(0KB\)](#)
- ▶ [参考文献 \[PDF\]](#)
- ▶ [参考文献](#)

服务与反馈

- ▶ [把本文推荐给朋友](#)
- ▶ [加入我的书架](#)
- ▶ [加入引用管理器](#)
- ▶ [引用本文](#)
- ▶ [Email Alert](#)
- ▶ [文章反馈](#)
- ▶ [浏览反馈信息](#)

相关信息

- ▶ [本刊中 包含“片上多处理器”的相关文章](#)
- ▶ [本文作者相关文章](#)
- ▶ [肖俊华^{1,2}, 冯子军^{1,2}, 章隆兵¹](#)