

一种基于DAB正交频分复用系统的变长度高速FFT处理器的硬件设计

《电子技术应用》2007年第1期

宋连国, 余宁梅, 王 定

西安理工大学 电子工程系, 陕西 西安 710048

2007-11-14

摘 要: 从分析对比现有FFT实现技术的角度出发, 选择采用基2/4/8的单步延迟FFT结构、16位的定点Q15数据表示格式, 完成了一种FFT处理器的设计。通过三个选择器实现了变长度设计, 同时还进行了乘法单元的优化, 用Altera公司的Stratix II系列FPGA综合验证了其功能。最终基于Charter标准单元库的0.35 μ m CMOS工艺进行了实现, 采用Synopsys Design Compiler进行了综合, 结果表明后仿真功能正确, 在50MHz的工作频率下, 完成2 048、1 024、512点FFT分别仅需40.94 μ s、20.46 μ s和10.22 μ s, 达到了高速设计的目的。

关键词: OFDM FFT 并行结构 基2/4/8

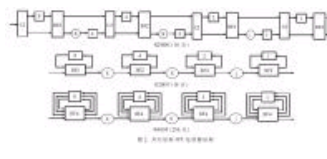
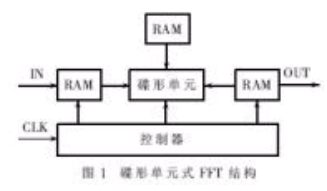
数字音频广播 (DAB) 是近几年发展起来的继调频调幅之后的新一代广播体制。DAB可以提供更优质的语音质量、更新的数据业务以及更高的频谱效率, 它提供的语音质量可以与CD音质相媲美。DAB应用了包括信源编码、信道编码等关键技术, 其中特别应用了正交频分复用调制 (OFDM) 技术。

DAB系统的OFDM调制部分主要完成对DAB传输帧信号的符号映射、差分调制和OFDM调制等功能, 参考文献[1]介绍了在硬件设计中OFDM调制、解调可以通过IFFT、FFT来实现的原理。在实际设计中, 两者可以复用同一个FFT模块, 因此OFDM设计的核心为FFT模块。高速度、低功耗是硬件设计的追求目标。作为DAB通信系统中的主干模块, 高速是首要条件, 并且IEEE802.11a明确规定在OFDM系统中完成一个64点的FFT需时3.2 μ s。

本文在分析对比国内外现有FFT的实现技术优劣的基础上, 对比采用并行结构、定点Q15数据格式和CORDIC算法, 并基于Charter标准单元库的0.35 μ m CMOS工艺完成了一种高速FFT处理器设计。该设计控制简单、运算速度快。当前应用较多的尤里卡147标准的DAB系统有三种点数^[2], 分别对应不同的参数, 本文设计的是变长度的、通过选择器可以实现三种点数的FFT处理器。

1 FFT结构的选择

FFT的实现结构主要有两种: 蝶形单元式和多个处理单元式。目前国内采用较多的是前者, 即不管多少点数的FFT, 都是通过复用同一个蝶形单元来完成。这种设计考虑的是FFT蝶形单元是相对独立的并且具有原址运算的特点, 而且多采用流水线结构。蝶形单元式FFT结构如图1所示。它的优点是控制和设计都简单。但这种结构的设计随着科技的发展其实用价值小于研究的价值, 因为该结构一个无法克服的劣势是数据串行地共用一个蝶形单元, 这样会因为FFT的多级运算导致运算时间比较长, 大基数会导致运算周期增大一个或几个数量级。以1 024点为例, 一个蝶形单元在采用合理流水线结构后, 能在一个时钟内完成。如果在不考虑流水线延迟的情况下, 采用基2结构, 共10级, 从输入到第一个结果开始输出, 理论上是1 024 \times 10+1 024个时钟, 基4结构是5级, 也就是1 024 \times 5+1024个时钟。而如果采用图2所示的并行结构, 理论情况下, 完成一次1 024点FFT仅需1 024+10个时钟。



蝶形单元式复用同一个蝶形单元的格式必然需要多个触发器, 这不便于减小面积。许多专家根据算法特点提出了结构上的优化方案, 例如通过改进蝶形单元结构来减少运算单元^[3]和面积, 但运算时间不会减少。有的通过并行蝶形单元^[4]、数据并行输入蝶形单元^[5]来减小时间, 前者可以减少一半时间, 后者尽管时间减少更多, 但每级之间要留有足够的延迟时间, 况且这两种方法本质上来说都是采用并行算法。因此不如采用并行结构, 即多个处理单元式。

Altera公司

- 公司介绍
- 联系公司
- 公司新闻
- 加入收藏夹

热点专题

- 2008--嵌入式技术创新及应用高峰论坛
- 2008飞思卡尔技术论坛
- Altera公司SOPC World 2008专题报道
- 第十届高交会电子展
- 科技闪耀北京奥运
- ADLINK DAY—2008年量测与自动化技术国际高峰论坛
- 中国电子学会Xilinx杯开放源码硬件创新大赛
- 赛灵思公司Virtex-5系列FPGA
- 3G知识
- IPTV
- 触摸屏技术
- RoHS

杂志精华

- 基于CC2430的无线传感器...
- 无线传感器网络应用系统综述
- 无线传感器网络在野外测量中的...
- 基于竞争的无线传感器网络
- 用于矿井环境监测的无线传感器...
- 具有自适应通信能力的无线传感...
- 基于传感器网络技术的深孔测径...
- 基于无线传感器网络的家庭安防...
- 基于ATmega128L与C...
- 无线传感器网络中移动节点设备...

并行结构的FFT处理器，采用并行结构来完成FFT，这也是大势所趋，是发展的最终方向。这种结构针对不同基数分别有大步延迟、多步延迟两种。图2^[6~7]分别是16点基2多步延迟处理器（R2MDC）和16点基2单步延迟处理器（R2SDF）、256点基4单步延迟处理器（R4SDF）的结构示意图。

从R2MDC、R2SDF对比来看，单步延迟比多步延迟更能有效利用存储单元，同样一个16点的FFT，多步延迟结构耗用存储器的深度为22，而单步延迟结构耗用存储器的深度只需15。基2的控制简单，而基4结构使用的乘法单元较少。同理，基8结构使用的乘法单元更少，但它的控制就很复杂。

参考文献[8]提到了一种基2/4/8的结构，该结构将运算进行一些必要的变化，将一个8的幂的点数的FFT结构转换为多个处理单元的结构，如图3所示（具体推理过程见参考文献[8]）。该结构利用的规律是重复利用3个PE单元（PE1、PE2、PE3），每3个PE之间不必与旋转因子进行相乘，只在每3个完成后进行一次相乘，如图4所示。五种结构的硬件实现情况对比表如表1所示。从表1可以看出基2/4/8结构既减少了乘法器数量和存储器长度，又有相对简单的控制器。本设计即采用这种结构。

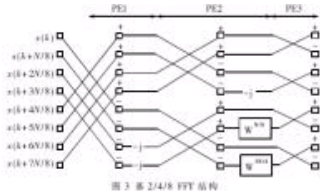
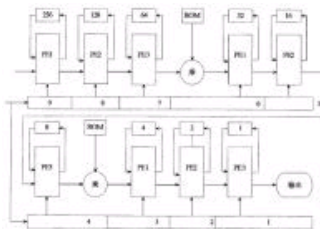


图3 基2/4/8 FFT结构

表1 五种结构的硬件实现情况对比表

	乘法器 个数	加法器 个数	存储器 深度	控制器
R2MDC ^(N-7)	$2(k\log_2 N - 1)$	$4k\log_2 N$	$3N/2 - 2$	简单
R2SDF ^(N-7)	$2(k\log_2 N - 1)$	$4k\log_2 N$	$N - 1$	简单
R4SDF ^(N-7)	$k\log_2 N - 1$	$8k\log_2 N$	$N - 1$	复杂
R4MDC ^(N-7)	$3(k\log_2 N - 1)$	$8k\log_2 N$	$5N/2 - 4$	简单
R2/4/8SDF	$k\log_2 N - 1$	$8k\log_2 N$	$N - 1$	简单



作频率就接近一倍（由47MHz提高到90MHz）。

3.2 控制器

本设计中的控制器采用全局计数器来实现控制，加入了一个模式选择信号。如果实现变长度，通常要引入多个多路选择器产生各个模块的控制信号，这样会使面积增加，计数信号扇出过高。为克服这一缺点，本设计在输入开始由模式选择信号控制计数器，如果是2 048点，则从0开始计数；如果是1 024点，则从1 025开始计数；如果是512点，则从1 038开始计数。这样其他控制信号就不用改变，只需一个计数器就可以完成。

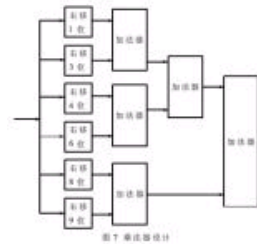
3.3 乘法单元

基2/4/8结构中有两种乘法单元的设计：

(1)存在下面两个运算的设计：

$$\begin{aligned} \textcircled{1} (a+bj) \times W^{2kn} &= (a+jb) \times W^{2kn} \\ &= (a+jb) \times \left(\frac{\sqrt{2}}{2} - j \frac{\sqrt{2}}{2} \right) = \frac{\sqrt{2}}{2} ((a+b) + j(b-a)) \\ \textcircled{2} (a+bj) \times W^{3kn} &= (a+jb) \times W^{3kn} \\ &= (a+jb) \times \left(-\frac{\sqrt{2}}{2} - j \frac{\sqrt{2}}{2} \right) = \frac{\sqrt{2}}{2} ((b-a) - j(b+a)) \end{aligned}$$

即 PE2 中的与 c1、c2 的相乘，也就是与 $\frac{\sqrt{2}}{2}$ 相乘的设计。因为 $\frac{\sqrt{2}}{2} = 0.70716078 = 2^{-1} + 2^{-3} + 2^{-4} + 2^{-6} + 2^{-8} + 2^{-9}$ ，而本设计采用的是二进制定点数表示法，所以与 2 的幂相乘只需作相应移位即可，这样就省去了乘法单元的设计。其结构如图 7 所示。



(2)两个复数的相乘的设计。处理有两种情况：假定两个复数分别为a+bj、A+Bj，在FPGA功能验证阶段，相乘运算可作如下相应的变化，这样本来需要四次乘法，经过如下公式优化后只需三次。

$$\begin{aligned} (a+bj) \times (A+Bj) &= aA - bB + j(aB + bA) \\ &= a(A+B) - B(a+b) + j(a(A+B) - A(a-b)) \end{aligned}$$

其中的乘法直接利用FPGA中自带的乘法器资源，在做ASIC前端设计时，本设计根据FFT中的复数乘法规律，采用CORDIC（坐标旋转数字计算机）算法将复杂的乘法转化成简单的加减、移位运算。根据CORDIC的迭代原理本设计采用了20级流水线来提高运算速度，直接算出结果。相比booth乘法器，实现更简单。

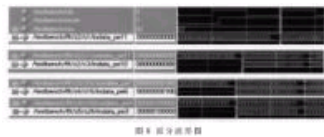
3.4 RAM和ROM的处理

本设计总共用了11块RAM、4块ROM。在做FPGA功能验证时，ROM中存储的是角度的正弦、余弦值，在做ASIC前端设计时，存储的是角度值。在ROM1、ROM2中的数据，本设计借用MATLAB工具进行了验证，得到的ROM1、ROM2数据均与基2结构的旋转因子表的生成规律一致。

FPGA功能验证阶段所采用的RAM、ROM均为FPGA自带的。在做DC综合时，RAM、ROM全部作为黑盒子，然后应用厂商提供的Rapidcompiler工具进行单独综合，得到的模型再与DC综合网表一起进行综合后仿真。

4 电路功能验证

整个系统使用Verilog HDL完成了设计，在Modelsim 6.0平台上进行了仿真，利用测试平台验证其功能的正确性，仿真结果如图8所示。



测试平台采用的时钟周期为20ns，图8中时钟线上30ns、20 930ns（1 024个时钟周期+20个CORDIC流水线时钟周期+1个截尾时钟周期）、4 1010ns（1 984个时钟周期+60个CORDIC流水线时钟周期+5个截尾时钟周期）、42 590ns（2 040个时钟周期+80个CORDIC流水线时钟周期+8个截尾时钟周期），分别是PE11、PE10、PE6、PE3开始输入时间。本设计选用Altera公司的Stratix II系列FPGA来综合进行功能验证，最终采用基于Charter标准单元库的0.35微米 CMOS工艺来设计实现。在SUN工作站上利用Synopsys Design Compiler进行综合，得到工作频率为53MHz，规模大约12万门，对综合网表、Rapidcompiler生成的RAM、ROM进行后仿真，功能均正确。

本系统中FFT处理器2 048点从数据开始输入，不考虑流水线延迟到开始输出结果共需1 024+512+256+128+64+32+16+8+4+2+1=2 047个时钟，计算可得在50MHz的工作频率下只需40.94微秒即可完成。同理，1 024、512点分别需要20.46微秒和10.22微秒。五种FFT设计的完成时间对比如表2所示。由表可以看出，达到了高速设计的目的。

表 2 五种 FFT 设计的完成时间对比表

处理器	数据格式	点数	完成时间(μs)
Tiger SHARC	32 位浮点数	1024	208
	8/16/32 定点		
M. Woustan. ETH	32 位定点数	1024	105.6
Spilker	20 位定点数	1024	103.8
Siran. SMC90A	16 位定点数	1024	26
		2048	40.94
本设计	16 位定点数	1024	20.46
		512	10.22

本文应用Verilog语言对一种DAB正交频分系统中的变长度FFT处理器进行了ASIC的前端设计。通过对比FFT实现的两种结构,以高速为首要原则设计了一种高速实现的结构。通过分析验证,采用了合适的表示格式,并就结构中的乘法单元进行了优化,最终完成了一种性能较高的设计。

参考文献

- [1] 佟学俭, 罗涛. OFDM移动通信技术原理与应用[M]. 北京: 人民邮电出版社, 2003.
- [2] ETSI EN 300 401(V1.3.3)[S]; Radio broadcasting systems; digital audio broadcasting(DAB) to mobile, portable and fixed receivers[s]. European Telecommunication Standard Institute, 2001.
- [3] 赵忠武, 陈禾, 韩月秋. 基于FPGA的32位浮点FFT处理器的设计[J]. 电讯技术, 2003, (6): 73-77.
- [4] 韩颖, 王旭, 吴嗣亮. FPGA实现高速FPGA处理器的设计[J]. 电讯技术, 2003, (2): 74-78.
- [5] 万红星, 陈禾, 韩月秋. 一种高速并行的FFT处理器的VLSI结构设计[J]. 电子技术应用, 2005, (5): 45-48.
- [6] HE S, TORKEKELSON M. A new approach to pipeline FFT processor. IEEE Proc. Of IPPS, 1996.
- [7] HE S, ORKELSON M. Designing pipeline FFT processor for OFDM(de)modulation. ISSSE, 1998.
- [8] JIA L, GAO Y, ISOAHO J, et al. A new VLSI-oriented FFT algorithm and implementation. Proc. IEEE ASIC Conf, 1998.

在线联系

[添加到收藏夹](#)

关于“一种基于DAB正交频分复用系统的变长度高速FFT处理器的硬件设计”, 我有如下需求或意向:

用户名: 密码: 验证码:  [欢迎注册](#)

相关应用

- 一种基于FFT的直扩通信系统中窄带干扰信号参数的估计方法
- 高速ADC的性能测试
- 一种高速并行FFT处理器的VLSI结构设计
- 基于ADSP21161的比相测距雷达跟踪控制系统设计
- 带有电网谐波分析功能的智能多电源监控系统
- OFDM在短波通信中的应用

[版权声明](#) | [投稿须知](#) | [《电子技术应用》投稿](#) | [网站地图](#) | [帮助中心](#) | [广告中心](#) | [关于我们](#) | [管理员信箱](#)

[回到顶端](#)

《电子技术应用》编辑部版权所有

地址: 北京海淀区清华东路25号电子六所大厦

联系电话: 82306084 / 82306085 传真: 62311179 京ICP备05053646号

推荐分辨率1024*768 IE6.0版本

