

博士论坛

## “龙腾” R2微处理器Cache单元的设计与实现

屈文新, 樊晓桢

西北工业大学航空微电子中心

收稿日期 2006-3-20 修回日期 网络版发布日期 接受日期

**摘要** 合理的组织一个多级的高速缓冲存储器 (Cache) 是一种有效的减少存储器访问延迟的方法。本文提出了一种设计32位超标量微处理器Cache单元的结构, 讨论了一级Cache、二级Cache设计中的关键技术, 介绍了Cache一致性协议的实现, 满足了“龙腾” R2微处理器芯片的设计要求。整个芯片采用0.18um CMOS工艺实现, 芯片面积在4.1 mm×4.1 mm之内, 微处理器核心频率超过233 MHz, 功耗小于1.5W。

**关键词** [高速缓冲存储器, 一级Cache, 二级Cache, Cache一致性](#)

分类号

## A New Method for Design of the 32-bit RISC Cache

,XiaoYa Fan

西北工业大学航空微电子中心

### Abstract

The Aviation Microelectronic Center of NPU (Northwestern Polytechnical University) has recently completed the development of a 32-bit super-scalar RISC microprocessor, which we call “Longtium” R2. In this paper we present the design of the Cache of “Longtium” R2, which we deem to be successful because it helps “Longtium” R2 to meet performance requirements. Section 1 shows the architecture of the “Longtium” R2. Fig. 1 gives the schematical diagram of the architecture of the “Longtium” R2. Section 2 discusses in detail L1 Cache. Fig. 2 explains the architecture of L1 instruction Cache. the key desing of L2 Cache is introduced in detail in section 3; Section 4 analyzes the Cache Coherent. Simulation and synthesis results are explained in section 5. Section 6 introduces the “Longtium” R2 CPU is fabricated in a 0.18um CMOS process. the die size of the chip is 4.1 mm×4.1 mm and the CPU operating frequency is at least 233MHz.

**Key words** [RISC](#) [Cache](#) [Cache Coherent](#)

DOI:

通讯作者 屈文新 [quwenxin@mail.nwpu.edu.cn](mailto:quwenxin@mail.nwpu.edu.cn)

### 扩展功能

本文信息

▶ [Supporting info](#)

▶ [PDF\(0KB\)](#)

▶ [\[HTML全文\]\(0KB\)](#)

▶ [参考文献](#)

服务与反馈

▶ [把本文推荐给朋友](#)

▶ [加入我的书架](#)

▶ [加入引用管理器](#)

▶ [复制索引](#)

▶ [Email Alert](#)

▶ [文章反馈](#)

▶ [浏览反馈信息](#)

相关信息

▶ [本刊中 包含“高速缓冲存储器, 一级Cache, 二级Cache, Cache一致性” 的相关文章](#)

▶ 本文作者相关文章

· [屈文新](#)

· [樊晓桢](#)