

开发研究与设计技术

5加数并行加法器及其进位接口

刘杰¹, 易茂祥²

(1. 阜阳师范学院物理与电子科学学院, 阜阳 236041; 2. 合肥工业大学应用物理系, 合肥 230009)

收稿日期 修回日期 网络版发布日期 接受日期

摘要 传统加法器在处理多操作数累加时, 必须进行多次循环相加操作。针对该问题设计5操作数并行加法器及其高速进位接口。电路采用多操作数并行本位相加和底层进位级联传递的方式, 在一定程度上实现多操作数间的并行操作, 减少相加次数。模拟结果验证了该加法器的设计合理性, 证明其能缩短累加时间、提高运算效率。

关键词 [加法器](#); [超前进位加法器](#); [进位接口](#)

分类号 [TP342.21](#)

DOI:

通讯作者:

作者个人主页: [刘杰¹](#); [易茂祥²](#)

扩展功能

本文信息

- ▶ [Supporting info](#)
- ▶ [PDF \(327KB\)](#)
- ▶ [\[HTML全文\] \(0KB\)](#)
- ▶ [参考文献 \[PDF\]](#)
- ▶ [参考文献](#)

服务与反馈

- ▶ [把本文推荐给朋友](#)
- ▶ [加入我的书架](#)
- ▶ [加入引用管理器](#)
- ▶ [引用本文](#)
- ▶ [Email Alert](#)
- ▶ [文章反馈](#)
- ▶ [浏览反馈信息](#)

相关信息

- ▶ [本刊中 包含“加法器; 超前进位加法器; 进位接口”的 相关文章](#)
- ▶ [本文作者相关文章](#)