

研发、设计、测试

低功耗并行的二维离散小波变换的VLSI结构

刘鸿瑾^{1,2}, 何星^{1,2}, 张铁军¹, 王东辉¹, 于其英³, 侯朝焕¹

- 1.中国科学院声学所, 北京 100080
- 2.中国科学院研究生院, 北京 100039
- 3.山东省昌邑市奎聚中学, 山东 昌邑 261300

收稿日期 2007-9-18 修回日期 2008-1-9 网络版发布日期 2008-6-16 接受日期

摘要 提出了一种基于提升算法的低功耗并行的二维离散小波变换的VLSI结构。提出结构的同时进行行和列方向的处理, 不需要额外的缓存来存储用于列变换的中间变换系数。通过分时复用关键的运算功能模块, 该结构同时对两行数据进行处理, 硬件的利用率达到100%。边界对称扩展通过嵌入式电路实现, 大大降低了需要的片上存储器的数量以及对片外存储器的访问, 有效地降低了系统的功耗。

关键词 [离散小波变换](#) [VLSI](#) [提升算法](#) [低功耗](#) [并行](#)

分类号

Low power parallel VLSI architecture for 2-D discrete wavelet transform

LIU Hong-jin^{1,2}, HE Xing^{1,2}, ZHANG Tie-jun¹, WANG Dong-hui¹, YU Qi-ying³, HOU Chao-huan¹

1. Institute of Acoustics, Chinese Academy of Sciences, Beijing 100080, China
2. Graduate University of Chinese Academy of Sciences, Beijing 100039, China
3. Kuiju High School of Shandong Province, Changyi, Shandong 261300, China

Abstract

A highly efficient VLSI architecture for the (9/7) 2-D DWT based on a lifting scheme is presented. The proposed architecture processes the row and column transforms simultaneously, eliminates the memory buffer for the column transform coefficients. The hardware utilization is speeded up to 100% by processing two independent data streams together using shared arithmetic functional blocks. And the embedded boundary extension circuit is exploited to optimize the architecture. Compared to previous architectures, the proposed architecture has more efficiency on critical path, power consumption, temporal storage usage and hardware utilization.

Key words [Discrete Wavelet Transform \(DWT\)](#) [VLSI architecture](#) [lifting scheme](#) [low power parallel](#)

DOI:

通讯作者 刘鸿瑾 lhjbuaa@163.com

扩展功能

本文信息

- ▶ [Supporting info](#)
- ▶ [PDF\(600KB\)](#)
- ▶ [\[HTML全文\]\(0KB\)](#)
- ▶ [参考文献](#)

服务与反馈

- ▶ [把本文推荐给朋友](#)
- ▶ [加入我的书架](#)
- ▶ [加入引用管理器](#)
- ▶ [复制索引](#)
- ▶ [Email Alert](#)
- ▶ [文章反馈](#)
- ▶ [浏览反馈信息](#)

相关信息

- ▶ [本刊中包含“离散小波变换”的相关文章](#)
- ▶ [本文作者相关文章](#)

- [刘鸿瑾](#)
- [何星](#)
- [张铁军](#)
- [王东辉](#)
- [于其英](#)
- [侯朝焕](#)