

开发研究与设计技术

SoC设计中的时钟低功耗技术

王延升, 刘雷波

(清华大学微电子学研究所, 北京 100084)

收稿日期 修回日期 网络版发布日期 接受日期

摘要 针对时钟网络在SoC芯片中的作用和时钟网络自身的特点, 研究并实现3种时钟低功耗技术, 包括在系统级采用动态时钟管理技术动态地关断和配置芯片内各模块的时钟, 在逻辑综合时基于功耗优化工具Power Compiler插入门控时钟单元, 在时钟树综合时以时钟树规模为目标进行低功耗时钟树综合。在音视频解码芯片的设计中采用以上3种技术, 结果表明其功耗优化效果明显。

关键词 [时钟](#); [动态时钟管理](#); [门控时钟](#); [低功耗时钟树综合](#)

分类号 [N945.15](#)

DOI:

通讯作者:

作者个人主页: [王延升](#); [刘雷波](#)

扩展功能

本文信息

- ▶ [Supporting info](#)
- ▶ [PDF](#) (124KB)
- ▶ [\[HTML全文\]](#) (0KB)
- ▶ [参考文献\[PDF\]](#)
- ▶ [参考文献](#)

服务与反馈

- ▶ [把本文推荐给朋友](#)
- ▶ [加入我的书架](#)
- ▶ [加入引用管理器](#)
- ▶ [引用本文](#)
- ▶ [Email Alert](#)
- ▶ [文章反馈](#)
- ▶ [浏览反馈信息](#)

相关信息

- ▶ [本刊中 包含“\[时钟\]\(#\); \[动态时钟管理\]\(#\); \[门控时钟\]\(#\); \[低功耗时钟树综合\]\(#\)”的 \[相关文章\]\(#\)](#)
- ▶ [本文作者相关文章](#)