

工程应用技术与实现

一种低功耗SoC芯片的综合BIST方案

方祥圣1,2,梁华国2,曹先霞3

1.安徽经济管理学院计算机系,合肥 230051; 2.合肥工业大学计算机与信息学院,合肥 230009; 3.安徽省公路局培训中心,合肥 230051

收稿日期 修回日期 网络版发布日期 2006-7-26 接受日期

摘要 提出了一种低功耗的综合BIST方案。该方案是采取了屏蔽无效测试模式生成、提高应用测试向量之间的相关性以及并行加载向量等综合手段来控制测试应用,使得测试时测试向量的输入跳变显著降低,从而大幅度降低芯片的测试功耗。测试实验表明,该方案既能减少测试应用时间,又能够有效地降低芯片测试功耗,平均输入跳变仅为类似方案的2.7%。

关键词 [SoC芯片](#) [内建自测试](#) [低功耗](#)

分类号 [TP 391](#)

DOI:

通讯作者:

作者个人主页: [方祥圣1;2](#); [梁华国2](#); [曹先霞3](#)

扩展功能

本文信息

▶ [Supporting info](#)

▶ [PDF\(153KB\)](#)

▶ [\[HTML全文\]\(0KB\)](#)

▶ [参考文献\[PDF\]](#)

▶ [参考文献](#)

服务与反馈

▶ [把本文推荐给朋友](#)

▶ [加入我的书架](#)

▶ [加入引用管理器](#)

▶ [引用本文](#)

▶ [Email Alert](#)

▶ [文章反馈](#)

▶ [浏览反馈信息](#)

相关信息

▶ [本刊中包含“SoC芯片”的相关文章](#)

▶ 本文作者相关文章

· [方祥圣1,2](#)

· [梁华国2](#)

· [曹先霞3](#)