

研发、设计、测试

高速FFT的蝶形单元和地址生成器优化

王镇道, 王宇峰, 陈迪平

湖南大学 物理与微电子科学学院, 长沙 410082

收稿日期 2009-6-3 修回日期 2009-8-5 网络版发布日期 2010-3-11 接受日期

摘要 提出了FFT处理器的蝶形单元和地址发生器优化方案。通过改进Wallace树型加法器阵列结构, 提高了蝶形单元乘法器的工作频率。提出了地址快速生成算法, 该算法在快速产生地址的同时降低了读取旋转因子ROM的功耗。在Xilinx的Vertex-II系列FPGA上实现, 该处理器可以稳定工作在150 MHz时钟下, 速度满足设计指标。

关键词 [快速傅里叶变换](#) [Wallace树](#) [地址生成器](#) [蝶形单元](#)

分类号 [TN911.72](#)

High speed FFT butterfly unit and addresses generator optimization

WANG Zhen-dao, WANG Yu-feng, CHEN Di-ping

College of Physics and Microelectronics Science, Hunan University, Changsha 410082, China

Abstract

An optimized method of butterfly unit and addresses generator is proposed. By improving the Wallace tree adder array structure, the frequency of butterfly unit multiplier is improved. The rapid algorithm of addresses generation is proposed, with this algorithm, the addresses can be generated quickly, and the power of reading twiddles ROM is decreased. With Vertex-II series FPGA of Xilinx, the design is implemented, the system can operate stably at 150 MHz, the speed meets the requirements.

Key words [Fast Fourier Transform \(FFT\)](#) [Wallace tree](#) [addresses generator](#) [butterfly unit](#)

DOI: 10.3778/j.issn.1002-8331.2010.08.018

通讯作者 王镇道 wuyufeng2008@163.com

扩展功能

本文信息

- ▶ [Supporting info](#)
- ▶ [PDF\(623KB\)](#)
- ▶ [\[HTML全文\]\(0KB\)](#)
- ▶ [参考文献](#)

服务与反馈

- ▶ [把本文推荐给朋友](#)
- ▶ [加入我的书架](#)
- ▶ [加入引用管理器](#)
- ▶ [复制索引](#)
- ▶ [Email Alert](#)
- ▶ [文章反馈](#)
- ▶ [浏览反馈信息](#)

相关信息

- ▶ [本刊中 包含“快速傅里叶变换”的相关文章](#)
- ▶ [本文作者相关文章](#)

- [王镇道](#)
- [王宇峰](#)
- [陈迪平](#)