

数据库、信号与信息处理

基于分布式算法的高阶FIR滤波器及其FPGA实现

李书华, 曾以成

湘潭大学 光电工程系, 湖南 湘潭 411105

收稿日期 2008-10-21 修回日期 2009-1-13 网络版发布日期 2010-4-21 接受日期

摘要 提出一种新的高阶FIR滤波器的FPGA实现方法。该方法运用多相分解结构对高阶FIR滤波器进行降阶处理, 采用改进的分布式算法来实现降阶后的FIR滤波器。设计了一系列阶数从8到1 024的FIR滤波器, 通过Quartus II 7.1的综合与仿真, 以及在EP2S60F1020C4 FPGA目标器件上的实现结果表明, 该方法能够有效地减少硬件资源的使用且满足高速实时性的要求。

关键词 [有限冲激响应 \(FIR\) 滤波器](#) [现场可编程门阵列 \(FPGA\)](#) [分布式算法 \(DA\)](#) [多相分解](#)

分类号 [TN713](#)

Implementation of high order FIR filter with FPGA based on distributed arithmetic

LI Shu-hua, ZENG Yi-cheng

Department of Optoelectric Engineering, Xiangtan University, Xiangtan, Hunan 411105, China

Abstract

A new method of implementing high order FIR filter with FPGA is presented. This method divides high order FIR filter into some lower order FIR filters by using polyphase decomposition structure, and implements the lower order FIR filters with modifying Distributed Arithmetic. A series of FIR filters which orders form 8 to 1, 024 is designed. These proposed filters have been simulated and synthesized with Quartus II 7.1, implemented with an EP2S60F1020C4 FPGA device. Results show that the proposed method can implement FIR filters with the smaller resource usage and high speed.

Key words [Finite Impulse Response \(FIR\) filter](#) [Field Programmable Gate Array \(FPGA\)](#) [Distributed Arithmetic \(DA\)](#) [polyphase decomposition](#)

DOI: 10.3778/j.issn.1002-8331.2010.12.040

通讯作者 李书华 lsh_820110@163.com

扩展功能

本文信息

- ▶ [Supporting info](#)
- ▶ [PDF\(502KB\)](#)
- ▶ [\[HTML全文\]\(0KB\)](#)
- ▶ [参考文献](#)

服务与反馈

- ▶ [把本文推荐给朋友](#)
- ▶ [加入我的书架](#)
- ▶ [加入引用管理器](#)
- ▶ [复制索引](#)
- ▶ [Email Alert](#)
- ▶ [文章反馈](#)
- ▶ [浏览反馈信息](#)

相关信息

- ▶ [本刊中 包含“有限冲激响应 \(FIR\) 滤波器”的 相关文章](#)
- ▶ [本文作者相关文章](#)

- [李书华](#)
- [曾以成](#)