

研究论文

一种高速低功耗的NoC时钟网络设计

刘毅^{1,2};陈博¹;杨银堂^{1,2};刘刚¹

1. 西安电子科技大学 微电子学院, 陕西 西安 710071;
2. 西安电子科技大学 宽禁带半导体材料与器件教育部重点实验室, 陕西 西安 710071)

摘要:

为了实现高速低功耗的片上网络时钟网络, 针对MESH型片上网络, 用金属-绝缘质-金属电容替代MOS电容作为发送端驱动电容和接收端耦合电容, 设计了一种基于改进的电容驱动型低摆幅收发器的瀑布型时钟网络. Spectre仿真结果表明, 在0.13 μm CMOS工艺条件下, 该时钟网络的时钟频率可达5GHz, 功耗和延时仅为传统时钟网络的49%和55%, 并具有更好的噪声抑制能力.

关键词: 片上网络 时钟网络 低功耗 低摆幅

High-speed low-power clock network design for NoC

LIU Yi^{1,2};CHEN Bo¹;YANG Yintang^{1,2};LIU Gang^{1,2}

1. School of Microelectronics, Xidian Univ., Xi'an 710071, China;
2. Ministry of Education Key Lab. of Wide Band-Gap Semiconductor Materials and Devices, Xidian Univ., Xi'an 710071, China)

Abstract:

In order to achieve a high-speed low-power NoC(Network-on-chip) clock network, considering the Mesh NoC, a waterfall clock network based on the capacitively-driven low-swing transceiver in which we replace traditional MOS capacitance by metal-insulator-metal(MIM) capacitance as the driven capacitance and receiver coupling capacitance is proposed. These structures are simulated by 0.13 μm CMOS technology with Spectre simulators. Results show that the proposed clock network can reach a high frequency up to 5GHz, compared with traditional networks, and this network allows up to 49% power saving and 55% delay reduction. At the same time, this network has a better noise suppression ability.

Keywords: network-on-chip clock network low-power low-swing

收稿日期 2011-12-22 修回日期 网络版发布日期

DOI: 10.3969/j.issn.1001-2400.2013.03.017

基金项目:

国家自然科学基金资助项目(61172030);中央高校基本科研业务费专项资金资助项目(K50510250004)

通讯作者: 刘毅

作者简介: 刘毅(1971-), 男, 副教授, 博士, E-mail: yiliu@mail.xidian.edu.cn.

作者Email: yiliu@mail.xidian.edu.cn

参考文献:

- [1] Friedman P G. Clock Distribution Networks in Synchronous Digital Integrated Circuits [J]. Proc of IEEE, 2001, 89(5): 665-692.
- [2] Vangal S R, Howard J, Ruhl G, et. al. An 80-Tile Sub-100-W TeraFLOPS Processor in 65-nm CMOS [J]. IEEE Journal of Solid-state Circuits, 2008, 43(1): 29-41.

扩展功能

本文信息

- Supporting info
- PDF(725KB)
- [HTML全文]
- 参考文献[PDF]
- 参考文献

服务与反馈

- 把本文推荐给朋友
- 加入我的书架
- 加入引用管理器
- 引用本文
- Email Alert
- 文章反馈
- 浏览反馈信息

本文关键词相关文章

- 片上网络
- 时钟网络
- 低功耗
- 低摆幅

本文作者相关文章

- 刘毅(微电子)
- 杨银堂
- 陈博
- 刘刚
- 王奇

PubMed

- Article by Liu, Y. (W.D.Z.)
- Article by Yang, Y.T
- Article by Chen, b
- Article by Liu, g
- Article by Yu, a

[3] Narasimhan A, Divekar S, Elakkumanan P, et al. A Low-power Current mode Clock Distribution Scheme for Multi-GHz NoC-based SoCs [C] //18th International Conference on VLSI Design. Kolkata: IEEE, 2005: 130-133.

[4] Tawfik S A, Kursun V. Dual-VDD Clock Distribution for Low Power and Minimum Temperature Fluctuations Induced Skew [C] //ESQED 07, 8th International symposium on Quality Electronic Design. Washington: IEEE, 2007: 73-78.

[5] Mohammad K, Liu Bao, Agaian S. Energy Efficient Swing Signal Generation Circuits for Clock Distribution Networks [C] //IEEE International Conference on Syterms, Man and Cybernetics. San Antonio: IEEE, 2009: 3495-3498.

[6] Ho R, Ono T, Hopkins R D, et al. High Speed and Low Energy Capacitively Driven On-Chip Wires [J] . IEEE Journal of Solid-State Circuits, 2008, 43(1): 52-60.

[7] Mensink E, Schinkel E, Klumperink E A M, et al. Power Efficient Gigabit Communication Over Capacitively Driven RC-Limited On-Chip Interconnects [J] . IEEE Journal of Solid-State Circuits, 2010, 45(2): 447-456.

[8] 王世庆, 顾华玺, 朱樟明. 网格型胖树: 一种片上光网络新结构 [J] . 西安电子科技大学学报, 2011, 38(6): 8-14.

Wang Shiqing, Gu Huaxi, Zhu Zhangming. Fat tree of Mesh(FoM): a New Optical Network on Chip Architecture [J] . Journal of Xidian University, 2011, 38(6): 8-14.

[9] 刘毅, 杨银堂, 周东红. 一种面向片上网络的多时钟路由器设计 [J] . 西安电子科技大学学报, 2011, 38(2): 146-150.

Liu Yi, Yang Yintang, Zhou Donghong. Multi-clock Router Designed for the Network-on-chip [J] . Journal of Xidian University, 2011, 38(2): 146-150.

[10] Seok M, Blaauw D, Sylvester D. Clock Network Design for Ultra-Low Power Applications [C] //ACM/IEEE International Symposium on Low-Power Electronics and Design. Austin: IEEE, 2010: 271-276.

[11] Sekar D C. Clock Trees: Differential or Single Ended? [C] //ISQED 2005, Sixth International Symposium on Quality of Electronic Design. San Jose: IEEE, 2005: 548-553.

[12] Seo J S, Ho R, Lexau J, et al. High-Bandwidth and Low-Energy On-Chip Signaling with Adaptive Pre-Emphasis in 90nm CMOS [C] //ISSCC Digest of Technical Papers. San Francisco: IEEE, 2010: 182-183.

[13] Miural N, Ishikuro H, Sakurai T, et al. A 0.14pJ/b Inductive-Coupling Inter-Chip Data Transceiver with Digitally-Controlled Precise Pulse SOhapin Pulse Shaping [C] //ISSCC 2007, Digest of Technical Pages, IEEE International. San Francisco: IEEE, 2007: 358-359.

[14] Wicht B, Nirschl T, Schmitt-Landsiedel D. Yield and Speed Optimization of a Latch-Type Voltage Sense Amplifier [J] . IEEE Journal of Solid-State Circuits, 2004, 39(7): 1148-1158.

本刊中的类似文章

1. 刘毅¹; 杨银堂^{1,2}; 王乃迪¹. 采用相邻耦合动态功耗优化的低功耗布线方法

[J]. 西安电子科技大学学报, 2007, 34(5): 712-715

2. 史凌峰; 王庆斌; 许文丹; 苗紫晖. 用于APFC的低功耗MOSFET驱动电路设计[J]. 西安电子科技大学学报, 2011, 38(1): 54-58+65

3. 张剑贤; 周端; 杨银堂; 赖睿; 高翔. 一种低能耗的片上网络映射算法[J]. 西安电子科技大学学报, 2011, 38(4): 95-100

4. 管旭光; 杨银堂; 朱樟明. 用于片上网络的准延时不敏感全异步仲裁器[J]. 西安电子科技大学学报, 2011, 38(3): 83-89

5. 朱樟明; 杨银堂. 基于衬底驱动技术的亚1V与温度成正比基准源[J]. 西安电子科技大学学报, 2005, 32(3): 367-369

6. 刘毅; 杨银堂; 周东红. 一种面向片上网络的多时钟路由器设计[J]. 西安电子科技大学学报, 2011, 38(2): 146-150

7. 刘锋; 庄奕琪; 代国定. 一种计算复杂度可调整的块匹配运动估计算法[J]. 西安电子科技大学学报, 2005, 32(6): 901-906

8. 孙海JUN; 邵志标. 基于非冗余排序的地址总线的功耗优化编码

[J]. 西安电子科技大学学报, 2006, 33(6): 990-994

9. 孙强; 孙兴奇; 马光胜. 一种高层次多电压功耗优化方法[J]. 西安电子科技大学学报, 2009, 36(5): 933-939

10. 刘有耀; 韩俊刚. 一种星簇双环片上网络拓扑结构[J]. 西安电子科技大学学报, 2009, 36(6): 1063-1069

11. 朱起浙; 车德亮; 沈绪榜. 低功耗无磁流量测量MCU的系统设计[J]. 西安电子科技大学学报, 2010, 37(5): 921-926

12. 唐龙飞; 庄奕琪; 刘伟峰; 靳钊. 用于UHF RFID标签的低功耗BLF产生电路[J]. 西安电子科技大学学报, 2011, 38(5): 152-158+164

13. 袁博; 汪斌强; 王志明. 并行多流水绿色路由查找架构和算法[J]. 西安电子科技大学学报, 2012, 39(2): 145-152+167

14. 邓植; 顾华玺; 杨银堂; 曾代兵. 基于人工蜂群算法的低能耗高性能NoC映射[J]. 西安电子科技大学学报, 2012, 39(2): 114-119

15. 杨延飞; 朱樟明; 周端; 杨银堂. 用于片上网络的延时无关异步动态优先级仲裁器[J]. 西安电子科技大学学报, 2012, 39(1): 42-48+110

