

工程应用技术与实现

一种6读2写多端口寄存器堆的全定制实现

张 轩, 李兆麟

(清华大学信息科学技术学院, CPU & SoC实验室, 北京 100084)

收稿日期 修回日期 网络版发布日期 2007-10-12 接受日期

**摘要** 采用全定制设计方法实现了一种6读2写的32' 32位的多端口寄存器堆, 包括结构设计、电路设计、版图设计、仿真验证以及建模建库。该多端口寄存器堆的读写端口互相独立, 在一个时钟周期内, 能够同时读出6个32位数据, 并写入2个32位数据。在电路实现上, 采用高速SCL结构的地址译码和分组字线的方法来减少读写延迟。采用了0.18 $\mu$ m 6层金属P阱CMOS工艺来实现版图设计, 通过了版图验证和后端仿真。

**关键词** [多端口寄存器堆](#) [高速SCL结构](#) [全定制设计](#) [自顶向下的设计流程](#)

**分类号** [TN47](#)

**DOI:**

通讯作者:

作者个人主页: [张 轩;李兆麟](#)

扩展功能

本文信息

- ▶ [Supporting info](#)
- ▶ [PDF \(127KB\)](#)
- ▶ [\[HTML全文\]\(0KB\)](#)
- ▶ [参考文献\[PDF\]](#)
- ▶ [参考文献](#)

服务与反馈

- ▶ [把本文推荐给朋友](#)
- ▶ [加入我的书架](#)
- ▶ [加入引用管理器](#)
- ▶ [引用本文](#)
- ▶ [Email Alert](#)
- ▶ [文章反馈](#)
- ▶ [浏览反馈信息](#)

相关信息

- ▶ [本刊中 包含“多端口寄存器堆”的相关文章](#)
- ▶ [本文作者相关文章](#)
- ▶ [张 轩, 李兆麟](#)