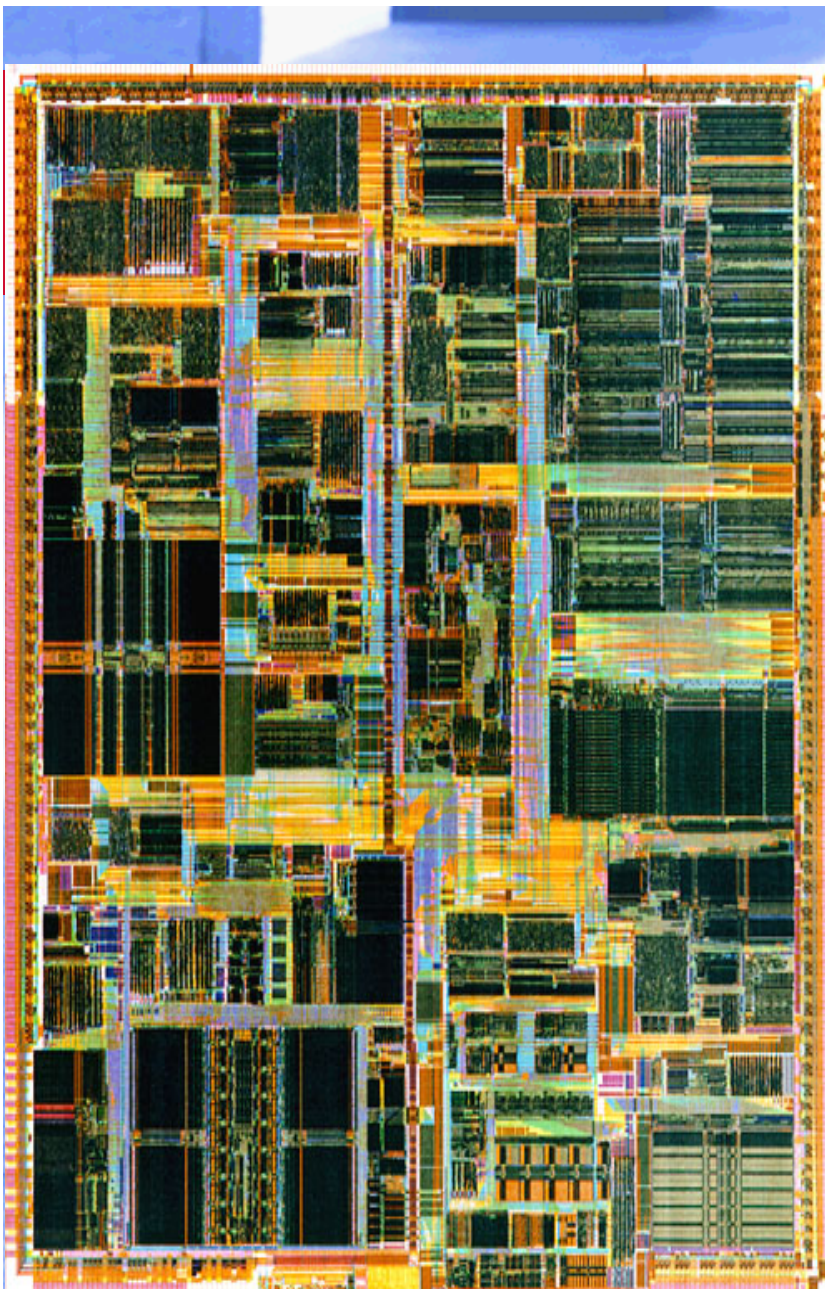


半导体 集成电路

班级：电子、微电
时间：秋季学期
教师：余宁梅

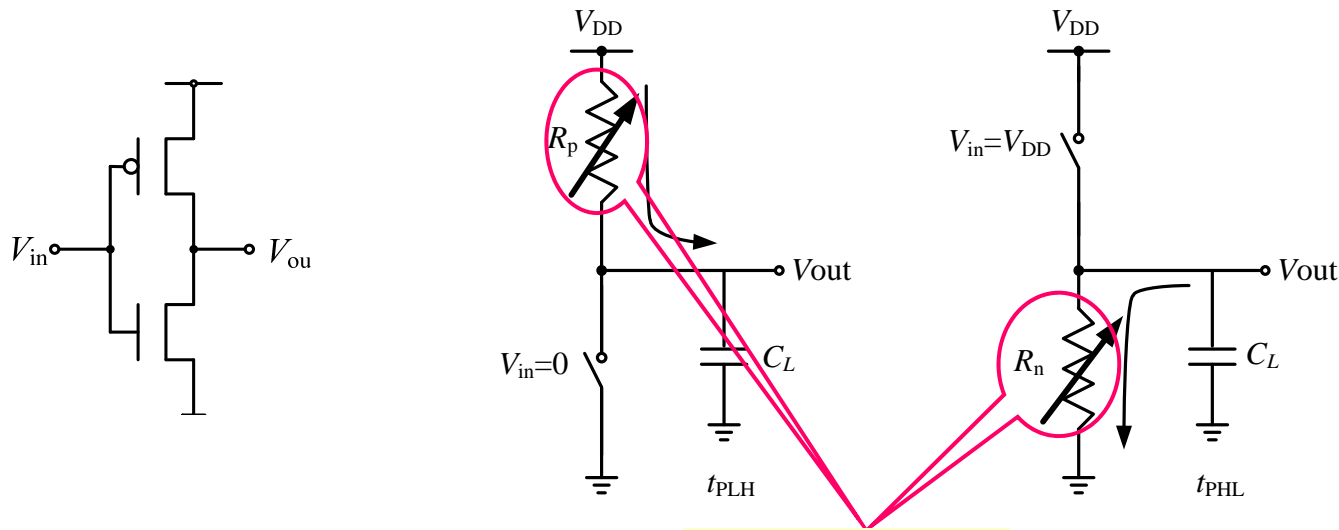
Lecture 13



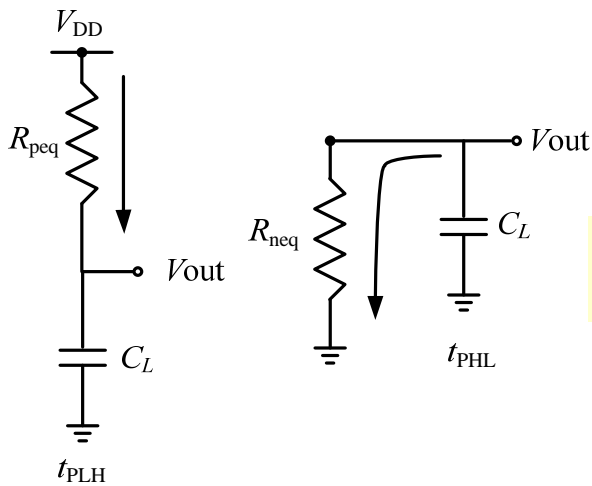
上节课内容要点



◆ CMOS反相器的速度估算



等效电阻 R_{eq}



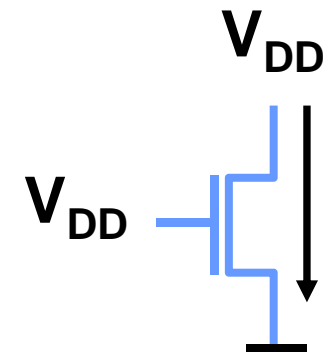
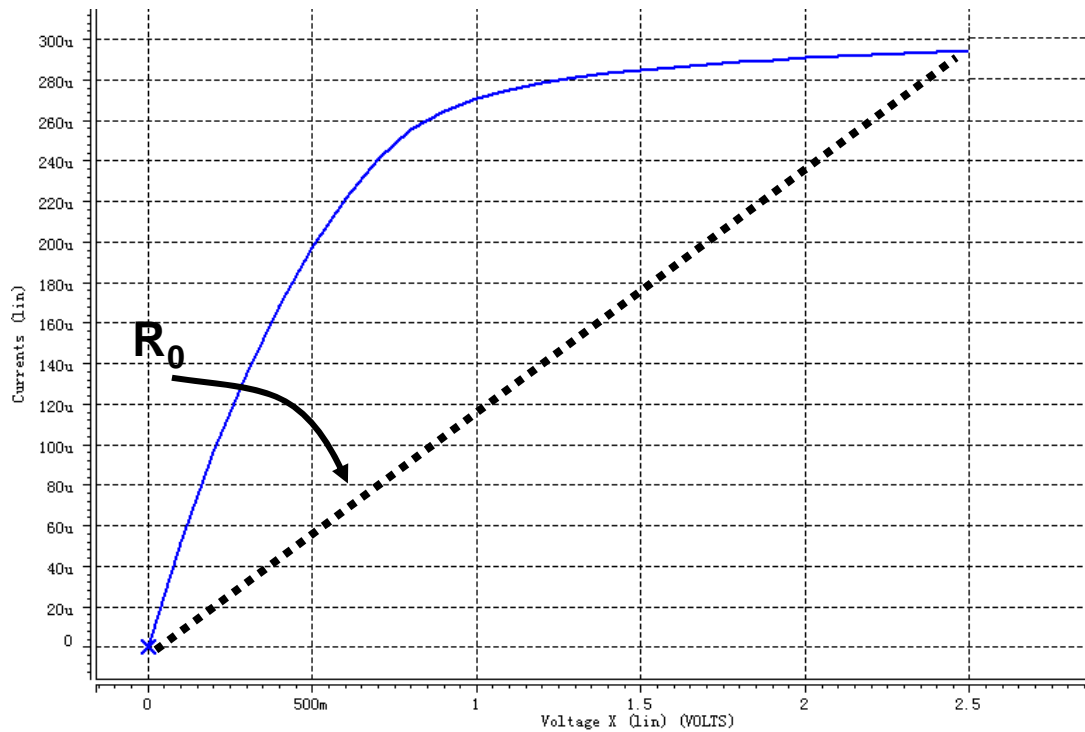
$$V_{out} = (1 - e^{-t/\tau_1}) V_{DD}$$

$$t_{PLH} = (\ln 2) \tau_2 = (\ln 2) R_p C_L \approx 0.69 R_p C_L$$

$$V_{out} = e^{-t/\tau_1} V_{DD}$$

$$t_{PHL} = (\ln 2) \tau_1 = (\ln 2) R_n C_L \approx 0.69 R_n C_L$$

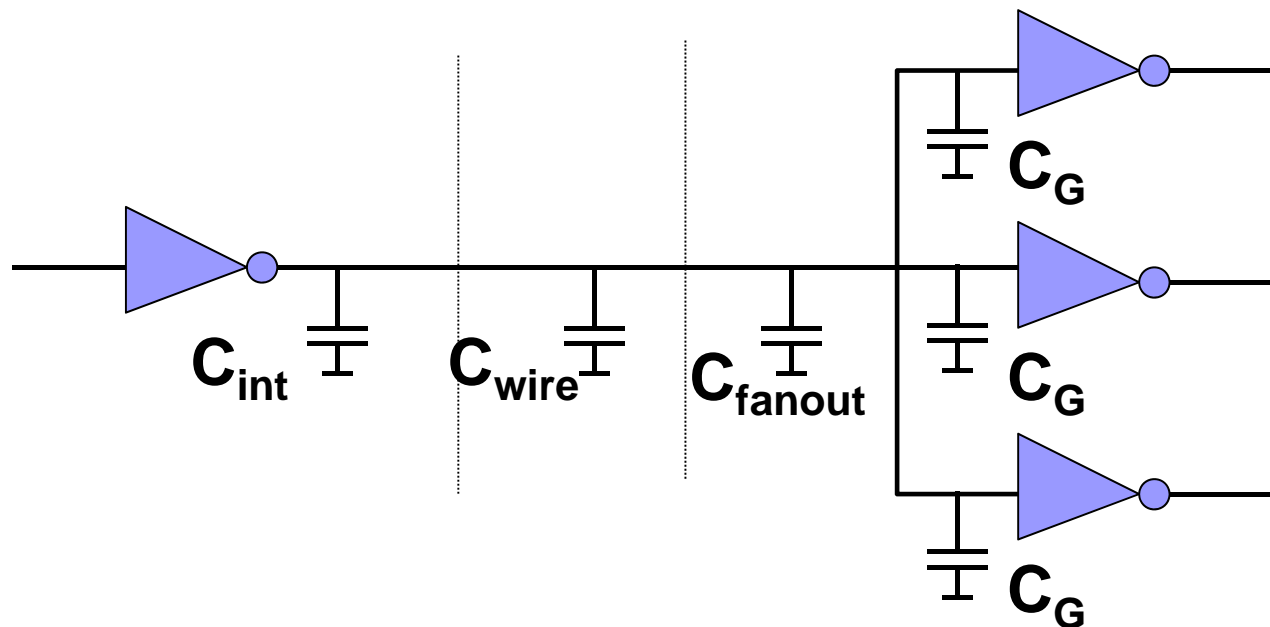
■ 等效电阻的估算



L: 0.25um
W: 0.5um
 R_0 约8K欧

等效（平均）电阻一般取 **$0.75R_0$**

■ 负载电容的估算



$$C_{load} = C_{int} + C_{wire} + C_{fanout}$$

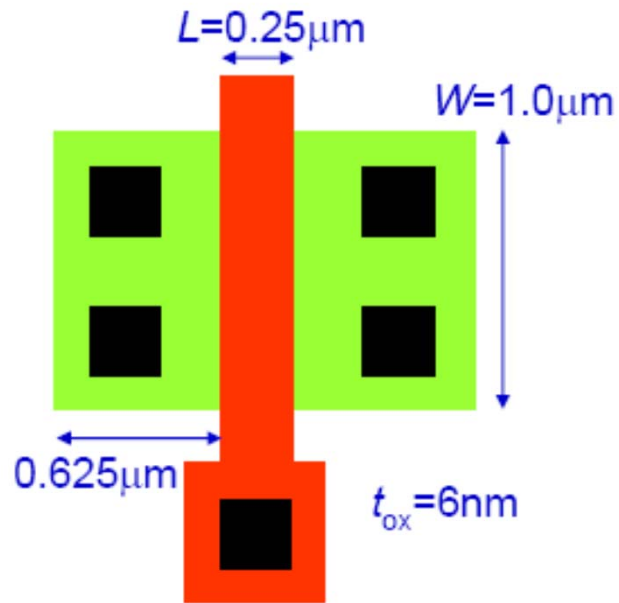
总负载
电容

自身电容

连线电
容

扇出电
容

减小延迟的版图设计典型例子



栅极/扩散·覆盖电容

$$C_o = 0.3\text{fF}/\mu\text{m}$$

扩散电容(p和n相同)

$$\text{底面: } C_J = 2\text{fF}/\mu\text{m}^2$$

$$\text{周边: } C_{\text{JSW}} = 0.25\text{fF}/\mu\text{m}$$

■栅极电容

$$C_{\text{OX}} = \epsilon_{\text{ox}}/t_{\text{ox}} = 3.9 \times (8.85 \times 10^{-12}) / 6 \times 10^{-9} = 5.8 \text{ fF}/\mu\text{m}^2$$

$$C_{\text{GC}} = C_{\text{OX}}WL = 5.8 \times 1.0 \times 0.25 = 1.5 \text{ fF}$$

$$C_{\text{GSO}} = C_{\text{GDO}} = C_oW = 0.3 \times 1.0 = 0.3 \text{ fF}$$

$$\text{合計} \quad 2.1 \text{ fF}$$

■扩散电容

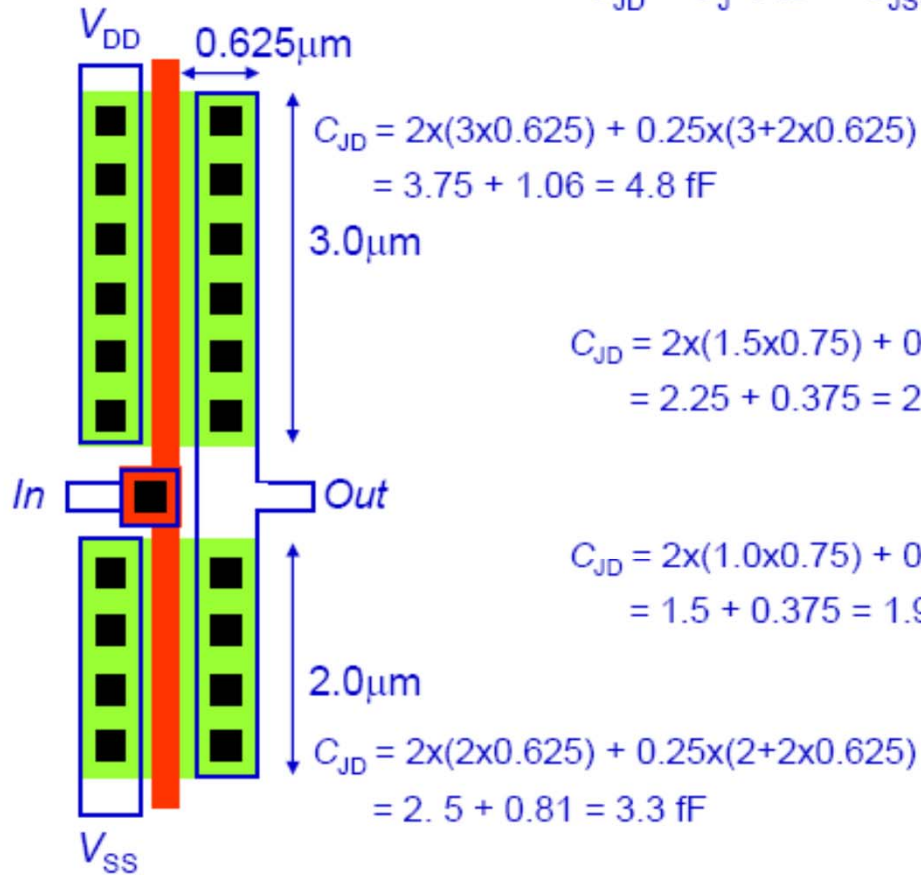
$$\text{底面: } 2 \times 1.0 \times 0.625 = 1.25 \text{ fF}$$

$$\text{周边: } 0.25 \times (1.0 + 2 \times 0.625) = 0.56 \text{ fF}$$

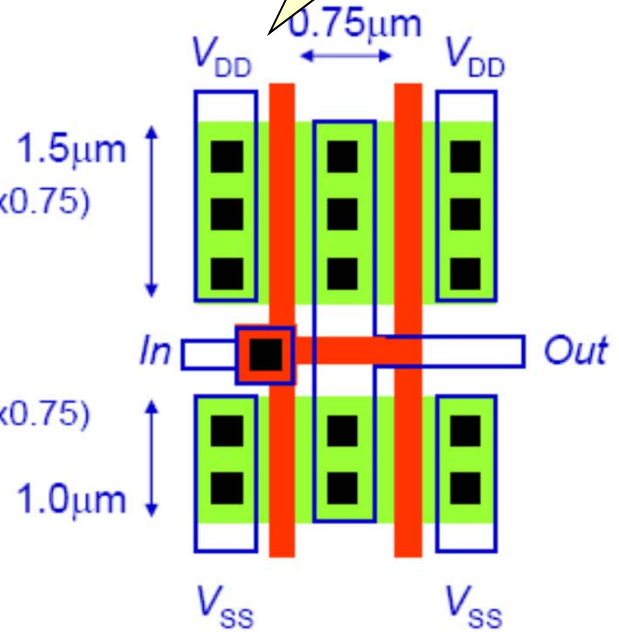
$$\text{合計} \quad 1.8 \text{ fF}$$

使扩散电容减小的版图设计

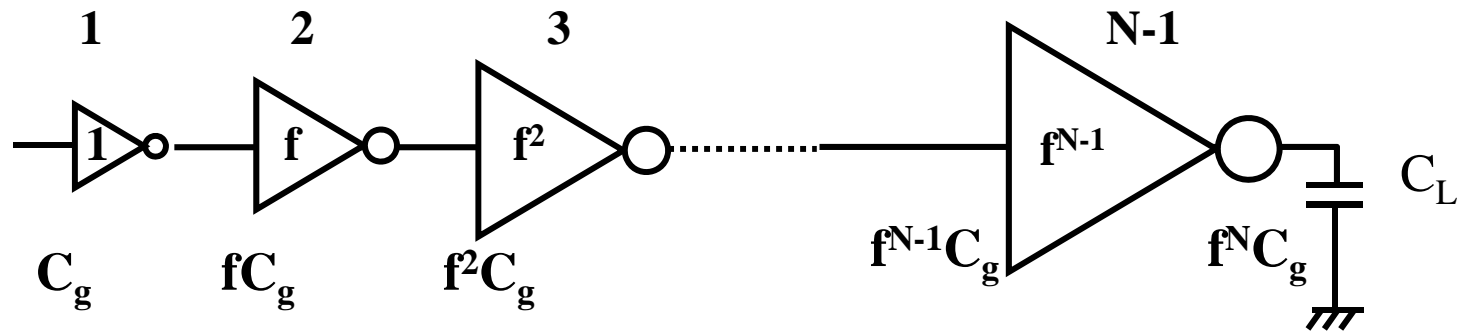
$$C_{JD} = C_J \cdot AD + C_{JSW} \cdot PD$$



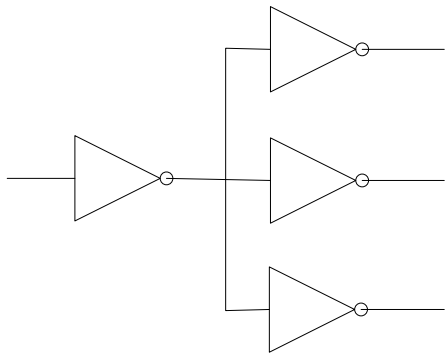
双指状晶体管



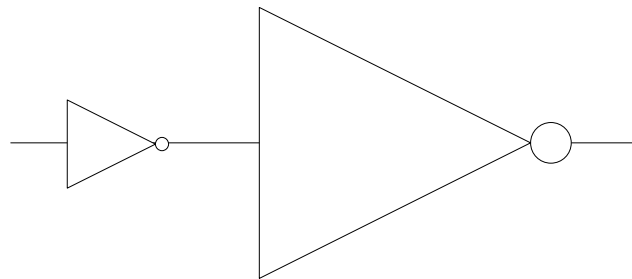
扇出的概念



后一级的栅极电容与前一级栅极电容之比



扇出=3



扇出=3

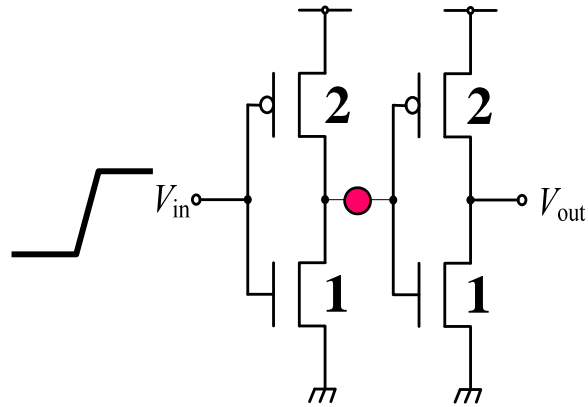


本节课主要内容

- 组合逻辑门的延迟时间
- 功耗的组成
- 静态功耗及减小措施举例
- 动态功耗及减小措施举例
- 功耗和延迟
- CMOS静态门电路的小结

CMOS逻辑门传输延迟举例

FO=1



$$t_{PHL} = (\ln 2)\tau_1 = (\ln 2)R_N C_L \approx 0.69R_N C_L$$

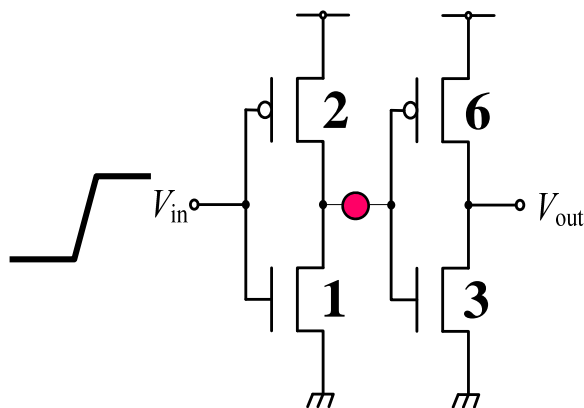
$$C_L = 3C_{D.n} + 3C_{Gn}$$

$$\tau = 0.75(3C_{D.n} + 3C_{G.n})R_o$$

$$= 0.75 * 3C_{D.n}R_o + 0.75 * 3C_{G.n}R_o$$

$$= \tau_0 + 0.75C_{inv}R_o$$

FO=3



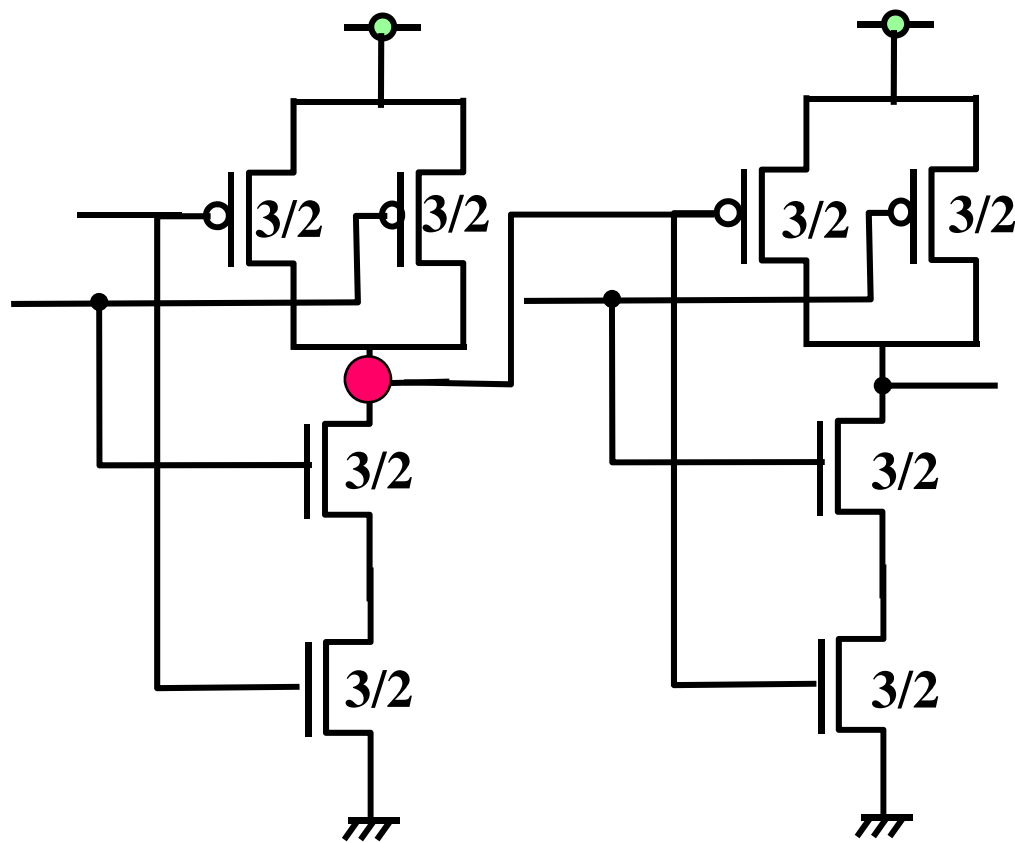
$$C_L = 3C_{D.n} + 9C_{Gn}$$

$$\tau = 0.75(3C_{D.n} + 9C_{G.n})R_o$$

$$= 0.75 * 3C_{D.n}R_o + 0.75 * 9C_{G.n}R_o$$

$$= \tau_0 + 0.75 * 3C_{inv}R_o$$

2输入与非门



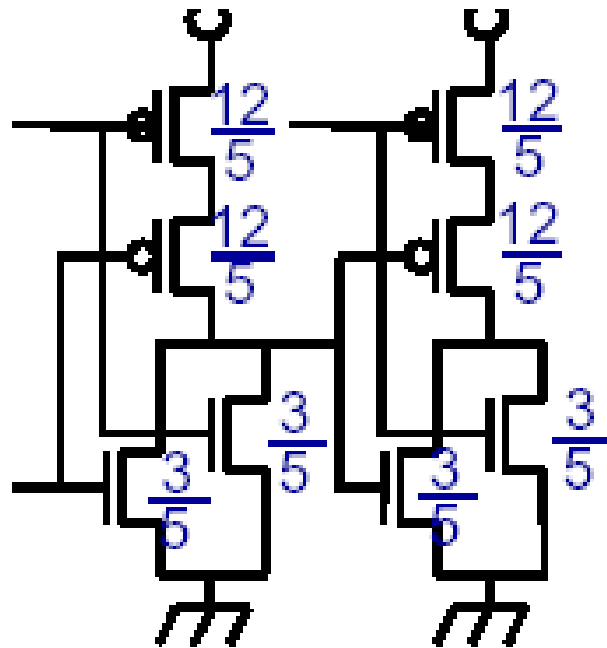
$$C_L = 9/2 C_{D.n} + 3C_{Gn}$$

$$R_{eq} = 0.75 * (4/3) R_o$$

$$\tau = 0.75(9/2 C_{D.n} + 3C_{G.n})R_o$$

$$= 0.75 * (9/2) C_{D.n} (4/3) R_o + 0.75 * 3C_{G.n} (4/3) R_o$$

$$= 2\tau_0 + 0.75 C_{inv} (4/3) R_o$$

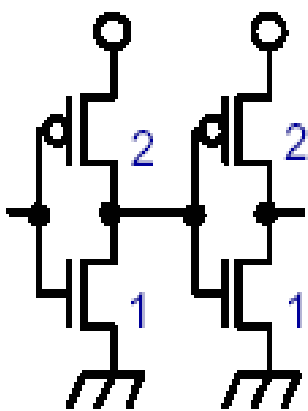


2入力NOR

$$\begin{aligned}
 C_L &= (18/5)C_{D.n} + 3C_{G.n} \\
 \tau &= 0.75 \cdot (18/5)C_{D.n} (5/3)R_0 \\
 &\quad + 0.75 \cdot 3C_{G.n} (5/3)R_0 \\
 &= 2\tau_0 + 0.75C_{inv} (5/3)R_0
 \end{aligned}$$

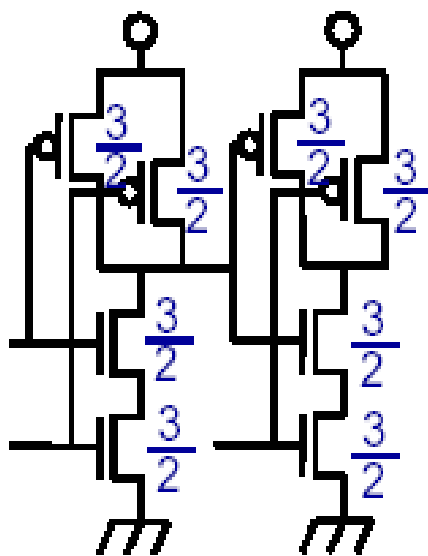
CMOS逻辑门传输延迟举例

FO=1



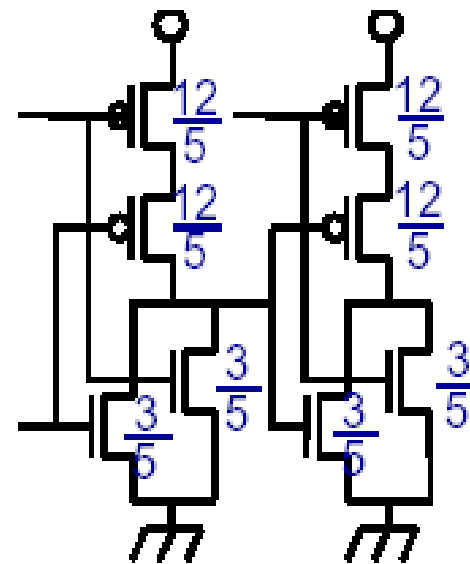
反向器

$$\begin{aligned}
 C_L &= 3C_{D,n} + 3C_{G,n} \\
 \tau &= 0.75 \cdot 3C_{D,n} R_0 \\
 &\quad + 0.75 \cdot 3C_{G,n} R_0 \\
 &= \tau_0 + 0.75C_{inv} R_0
 \end{aligned}$$



2输入与非门

$$\begin{aligned}
 C_L &= (9/2)C_{D,n} + 3C_{G,n} \\
 \tau &= 0.75 \cdot (9/2)C_{D,n} (4/3)R_0 \\
 &\quad + 0.75 \cdot 3C_{G,n} (4/3)R_0 \\
 &= 2\tau_0 + 0.75C_{inv} (4/3)R_0
 \end{aligned}$$



2输入或非门

$$\begin{aligned}
 C_L &= (18/5)C_{D,n} + 3C_{G,n} \\
 \tau &= 0.75 \cdot (18/5)C_{D,n} (5/3)R_0 \\
 &\quad + 0.75 \cdot 3C_{G,n} (5/3)R_0 \\
 &= 2\tau_0 + 0.75C_{inv} (5/3)R_0
 \end{aligned}$$

各种CMOS门电路的传输延迟

$$\tau = \tau_{int} + f \cdot LE \cdot (0.75C_{inv}R_0)$$

自身延迟时间:

τ_{int} : Intrinsic Delay

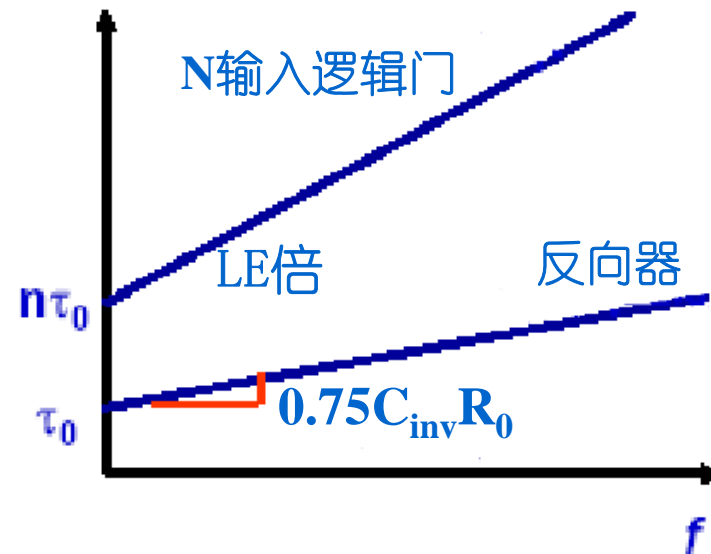
反向器为 τ_0 , n输入逻辑门为 $n\tau_0$

后级负载延迟时间:

$0.75C_{inv}R_0$: FO=1时, 反向器的延迟时间

f: Fan out

LE: Logical Effort



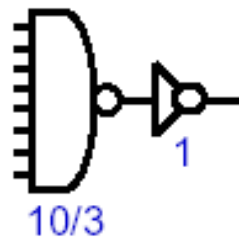
Logical Effort	输入信号数				
	1	2	3	4	n
反向器	1				
NAND		4/3	5/3	6/3	(n+2)/3
NOR		5/3	7/3	9/3	(2n+1)/3

传输延迟时间的估算：8输入AND

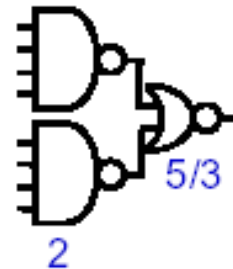
当FO=1时，
哪一种逻辑组合速度更快？

$$\tau = n\tau_0 + LE \cdot \tau_{CR}$$

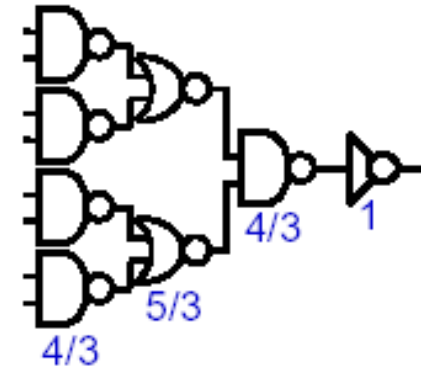
Logical Effort	输入信号数				
	1	2	3	4	n
反向器	1				
NAND		4/3	5/3	6/3	(n+2)/3
NOR		5/3	7/3	9/3	(2n+1)/3



$$\begin{aligned} \tau &= (8\tau_0 + 10/3\tau_{CR}) \\ &\quad + (\tau_0 + \tau_{CR}) \\ &= 9\tau_0 + 13/3\tau_{CR} \end{aligned}$$



$$\begin{aligned} \tau &= (4\tau_0 + 2\tau_{CR}) \\ &\quad + (2\tau_0 + 5/3\tau_{CR}) \\ &= 6\tau_0 + 11/3\tau_{CR} \end{aligned}$$



$$\begin{aligned} \tau &= (2\tau_0 + 4/3\tau_{CR}) \\ &\quad + (2\tau_0 + 5/3\tau_{CR}) \\ &\quad + (2\tau_0 + 4/3\tau_{CR}) \\ &\quad + (\tau_0 + \tau_{CR}) \\ &= 8\tau_0 + 16/3\tau_{CR} \end{aligned}$$

逻辑努力 (Logical Effort)

$$\gamma = C_{\text{int}}/C_{\text{gin}} \quad (\gamma \approx 1)$$

$$t_p = t_{p0} \left(1 + \frac{f}{\gamma} \right) \quad \text{可一般化为: } \text{Delay} = \sum_{i=1}^N \left(p_i + \frac{g_i \cdot f_i}{\gamma} \right)$$

将所有的时间归一化 (归一至反相器的本征延时), 即以 t_{p0} 为单位)

p - 本征延时

本征延时与门的类型有关, 但它与门的尺寸 (晶体管宽度) 加大无关

g - 逻辑努力 (logical effort)

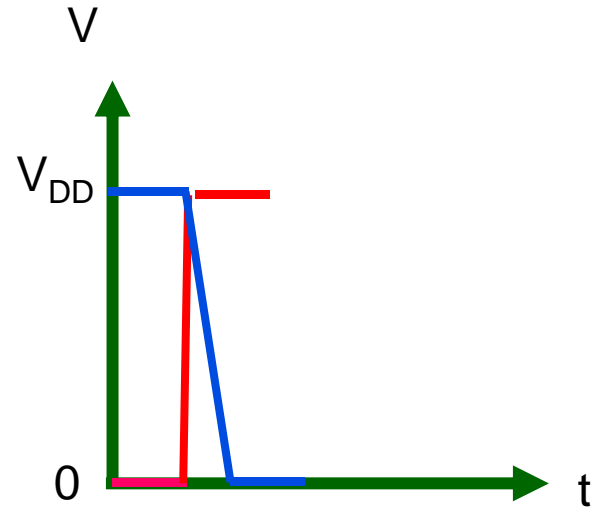
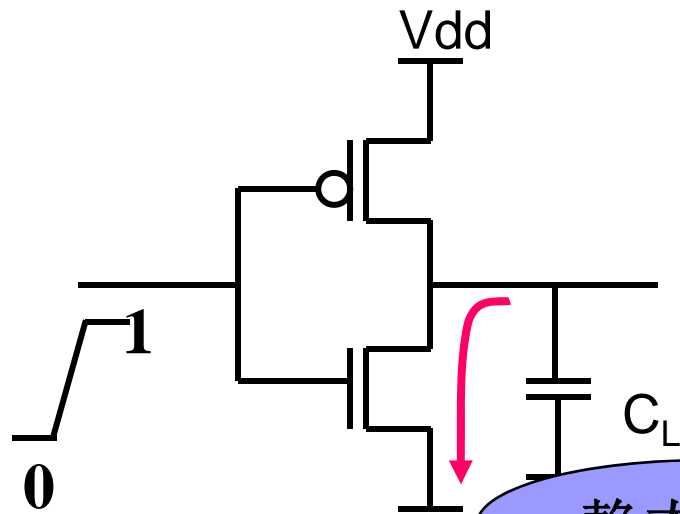
逻辑努力 (Logical effort) 是对于给定的负载, 一个门的输入电容和与它具有相同输出电流的反相器的输入电容的比

逻辑努力与门的类型有关, 但它与门的尺寸 (晶体管宽度) 加大无关 (对于对称设计, 与 μ_n/μ_p 有关, 但 μ_n/μ_p 由工艺而不是由设计者决定)

f - 等效扇出 (fanout): $f = C_L/C_{in}$ 又称为“电气努力”

对于反相器, 有: $g_{\text{inv}} = 1, p_{\text{inv}} = 1$

CMOS反相器的功耗



静态功耗

1. 当输入信号为0时:

2. 当输入信号为 V_{DD} 时:

3. 当输入信号从0 \rightarrow 1 (发生跳变) 时:

输出保持1不变, 没有电荷转移

输出保持0不变, 没有电荷转移

输出从“1”转变为“0”, 有电荷转移

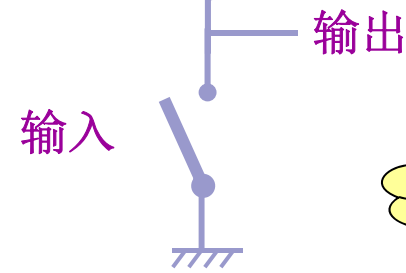
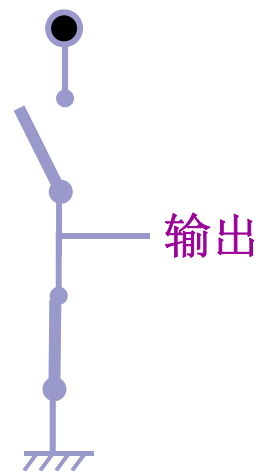
动态功耗

CMOS反相器的功耗

功耗组成:

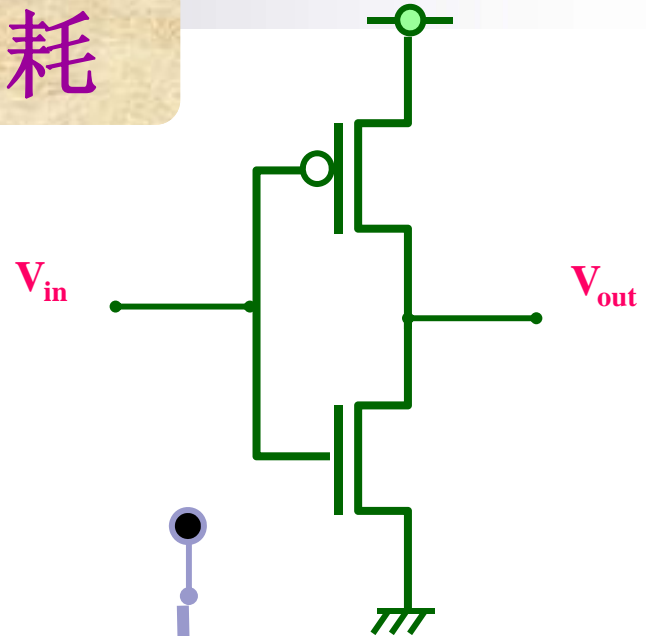
1. 静态功耗
2. 动态功耗

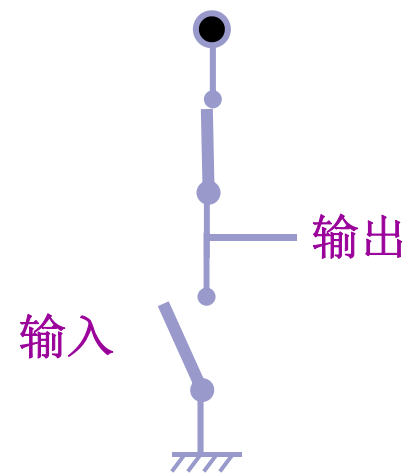
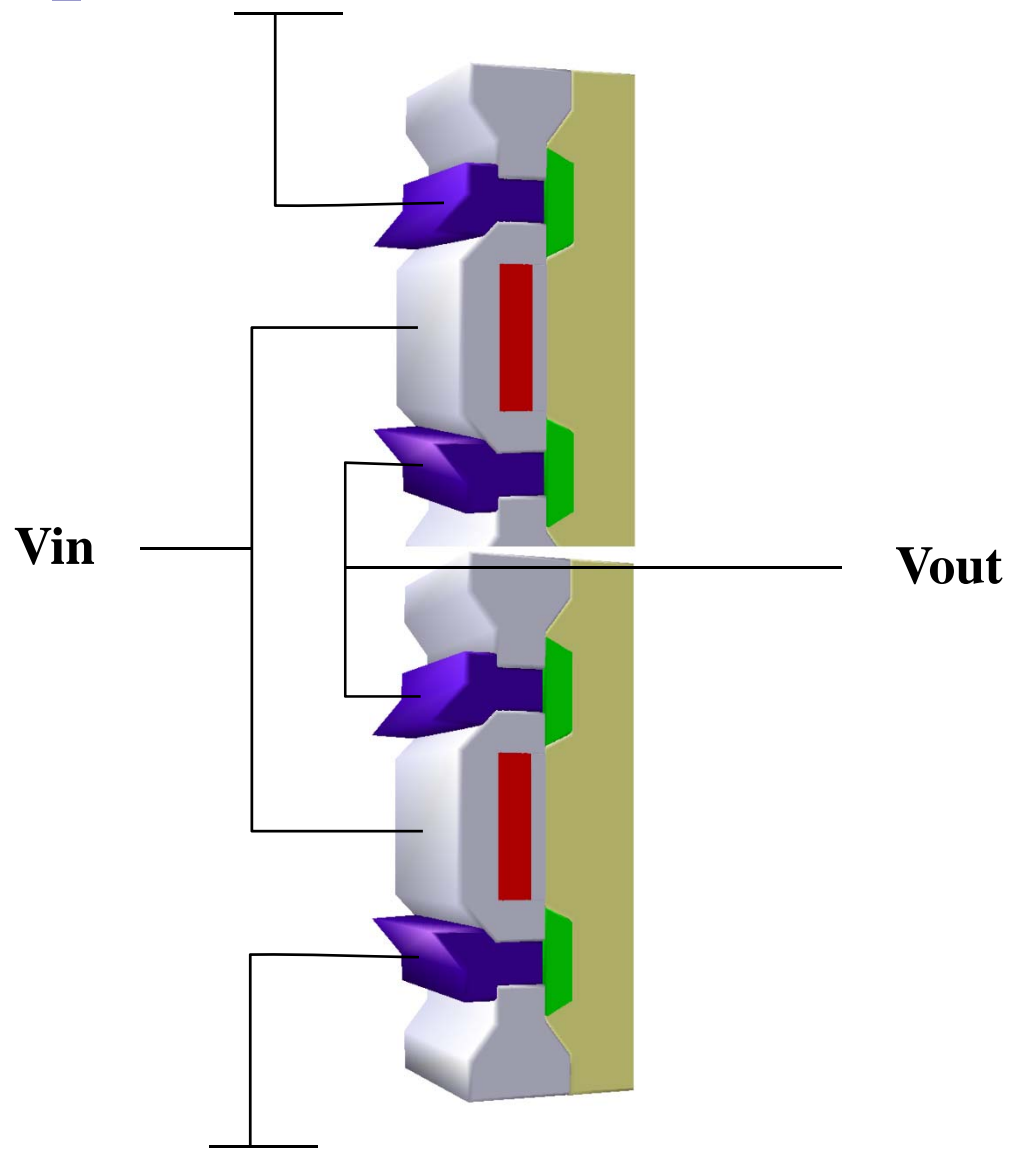
1. 静态功耗 P_S



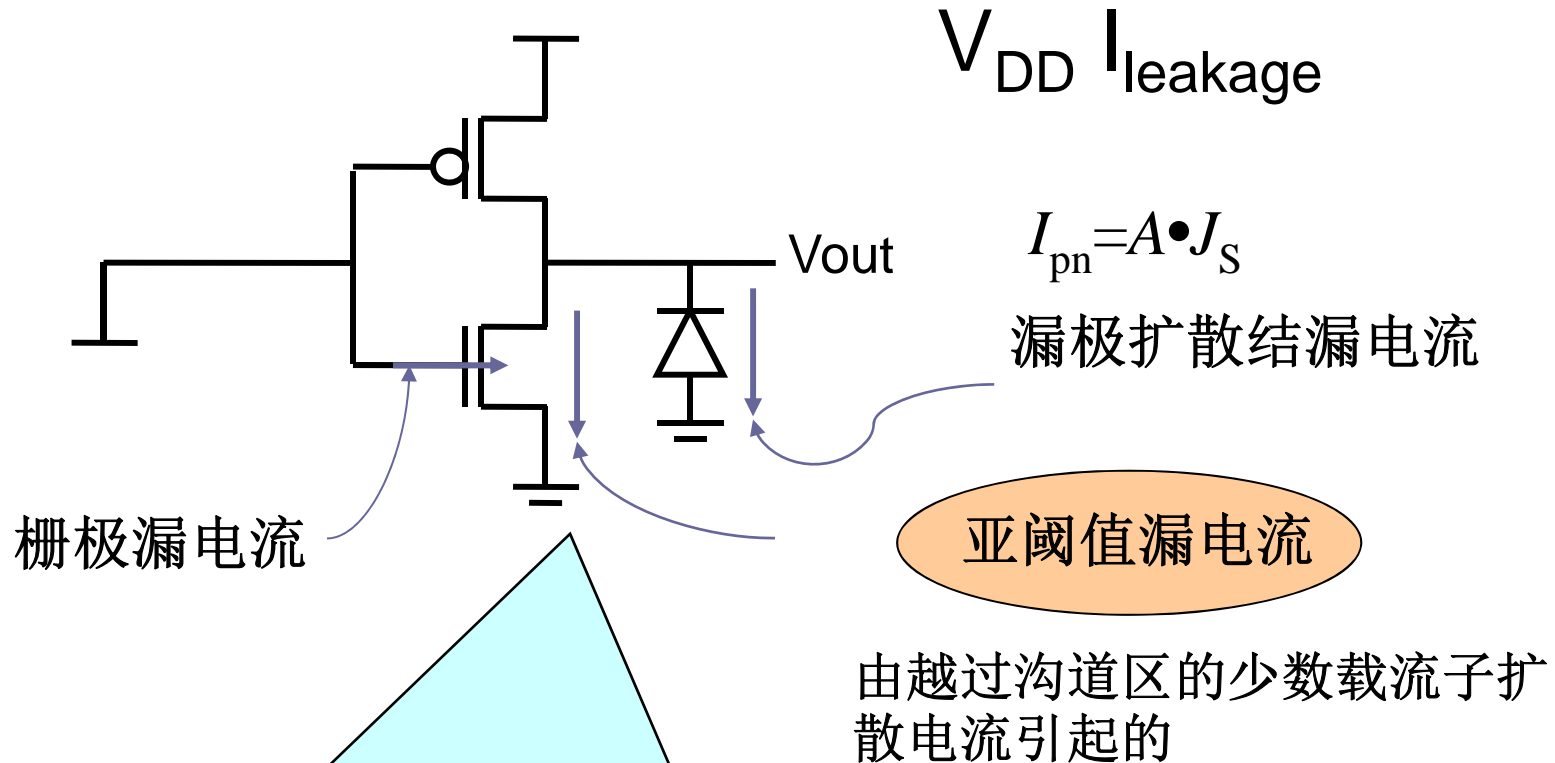
常规

在输入为0或1 (V_{DD})时, 两个MOS管中总是一个截止一个导通, 因此没有从 V_{DD} 到 V_{SS} 的直流通路, 也没有电流流入栅极, 因此其静态电流和功耗几乎为0。



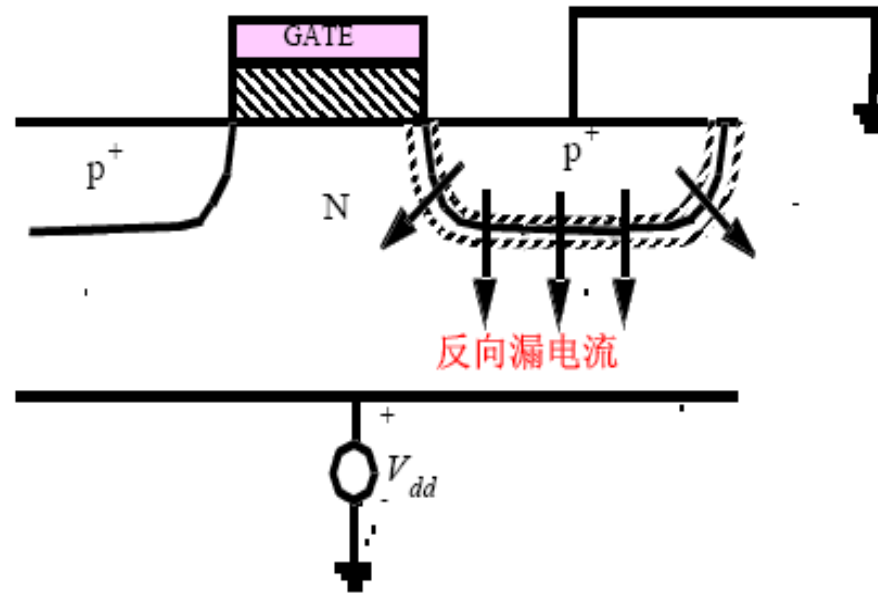


对于深亚微米器件，存在泄漏电流 $I_{leakage}$



随着特征尺寸的减小，泄漏电流功耗变得不可忽视，减小泄漏电流功耗是目前的研究热点之一。

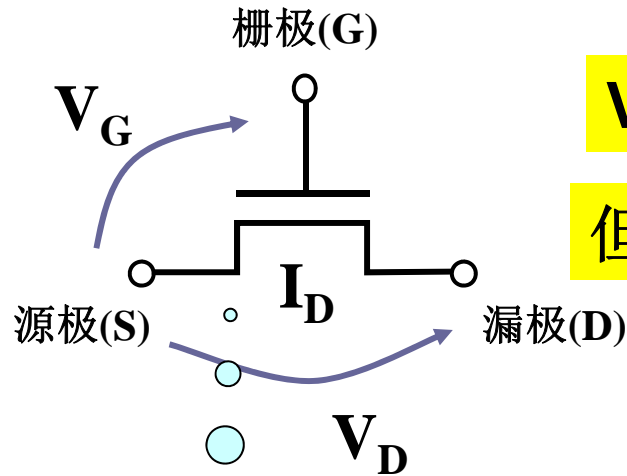
反向偏置二极管漏电流



$$I_{DL} = J_S \times A$$

$J_S = 10 \sim 100 \text{ pA}/\mu\text{m}^2$
(25°C 、 $0.25 \mu\text{m}$ CMOS 的 J_S 每 9°C 翻一倍!)

亚阈值漏电流



V_T 降低, I_{sub} 增大

但 V_T 增加, 速度减慢

存在速度和
功耗的折中
考虑

由少数载流子的扩散引起, 类似横向晶体管

$$I_{sub} = I_s e^{[q(V_{GS} - V_T - V_{offset}) / nkT]} (1 - e^{(-qV_{DS} / kT)})$$

-0.1~0.1之间

亚阈值振幅系数



降低待机功耗的方法举例：

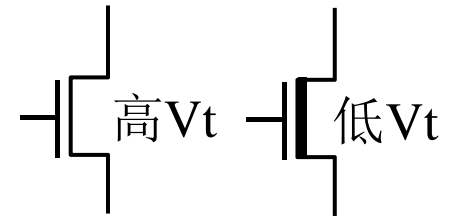
MTCMOS(Multi-Threshold-Voltage CMOS)技术

• 正常工作时采用低阈值电压，以减少CMOS电路的延迟时间

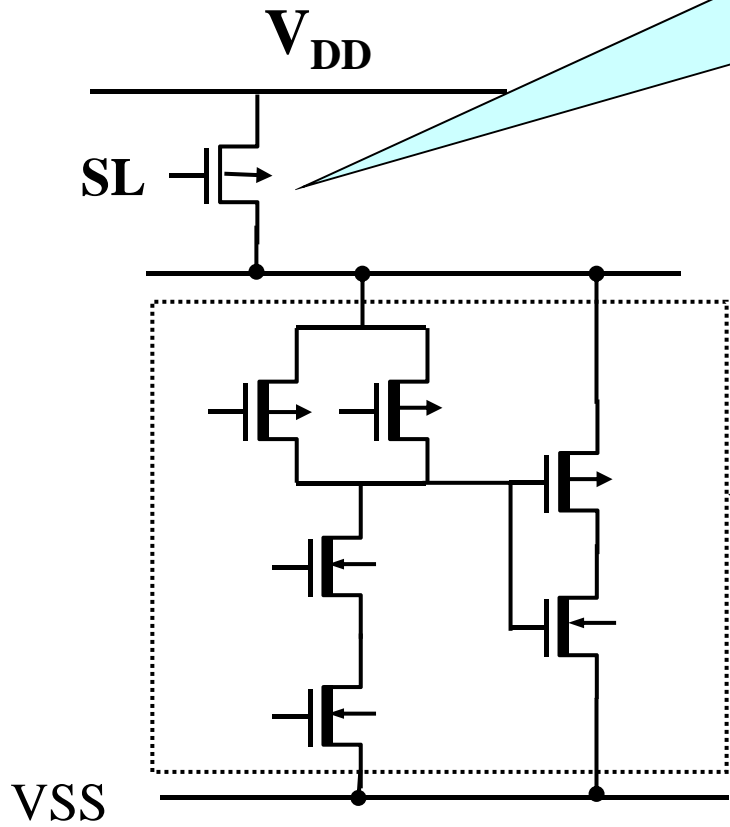
• 待机时采用高阈值电压，以减少CMOS电路的泄漏电流



保持速度性能的基础上，
大幅度降低功耗



电路工作时
导通，待机
时截止

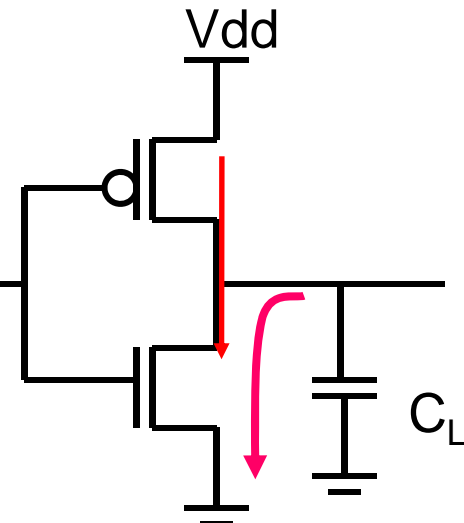
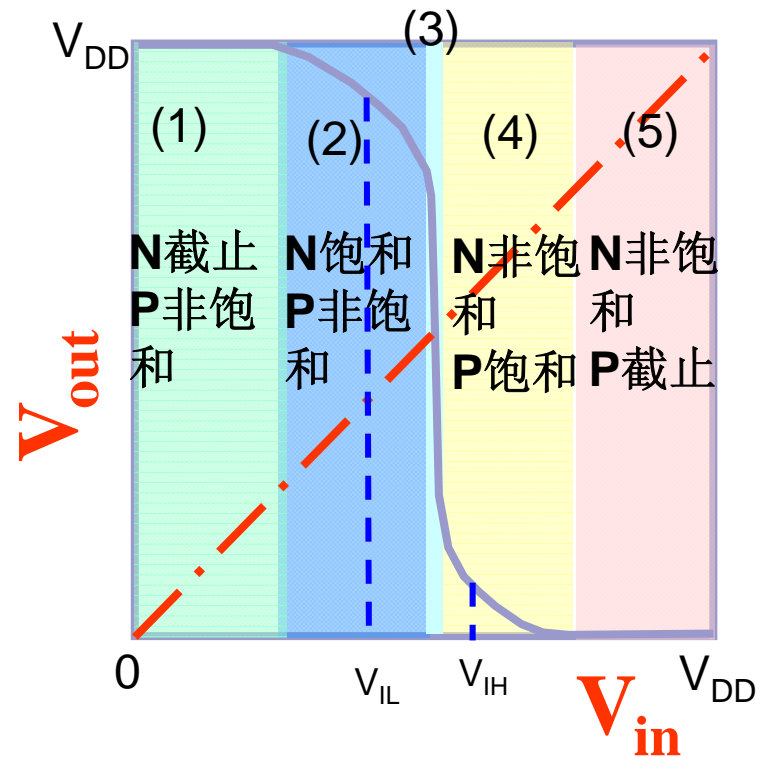


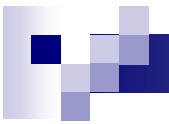
2. 动态功耗 P_D

1. **短路电流功耗**：在输入从0到1或者从1到0瞬变过程中，**NMOS**管和**PMOS**管都处于导通状态，此时存在一个窄的从 V_{DD} 到 V_{SS} 的电流脉冲，由此引起的功耗叫短路电流功耗。

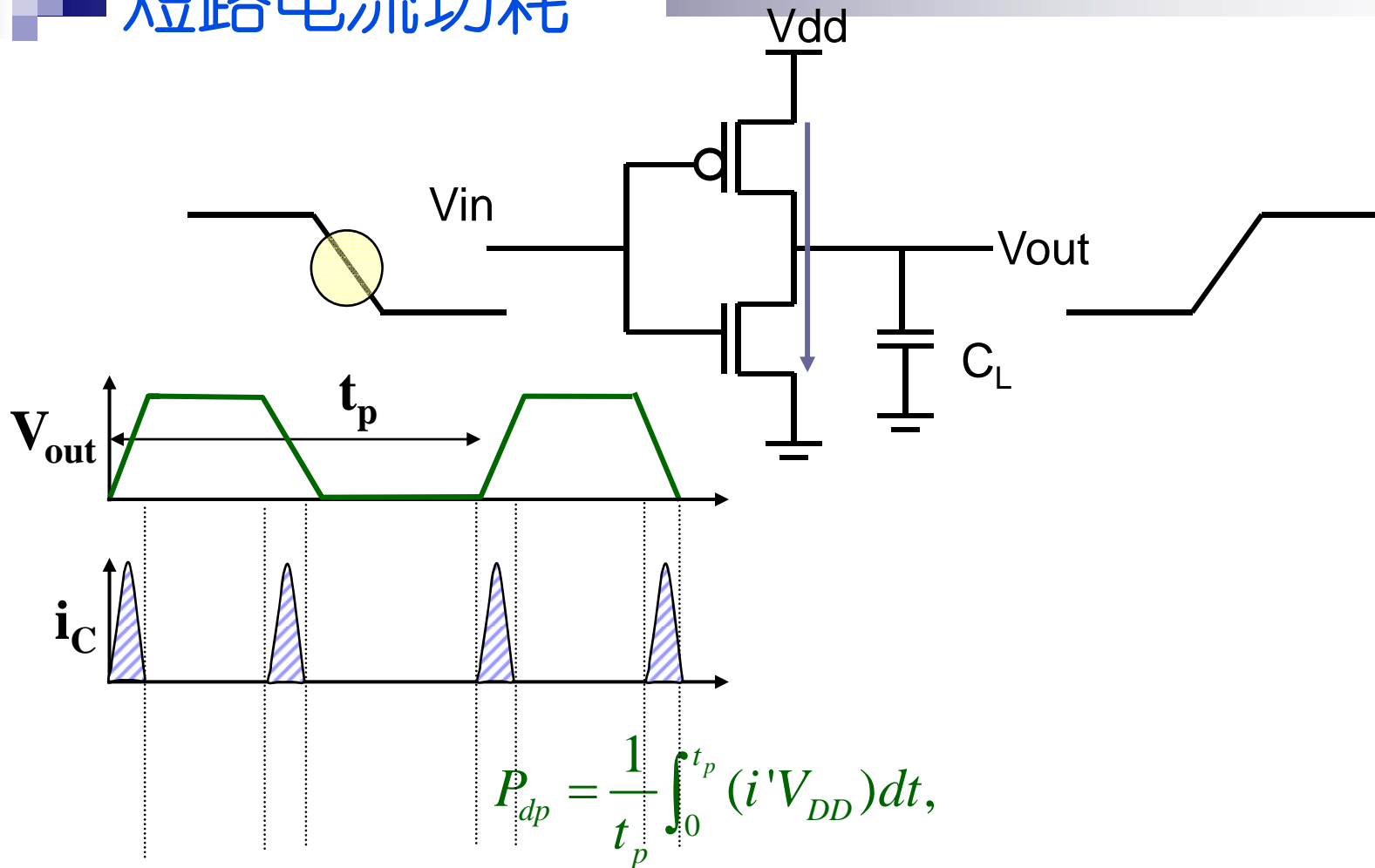
2. **瞬态功耗**：在电路开关动作时，对输出端负载电容进行放电引起的功耗。

通常（开关频率较低时）为动态功耗的主要组成部分





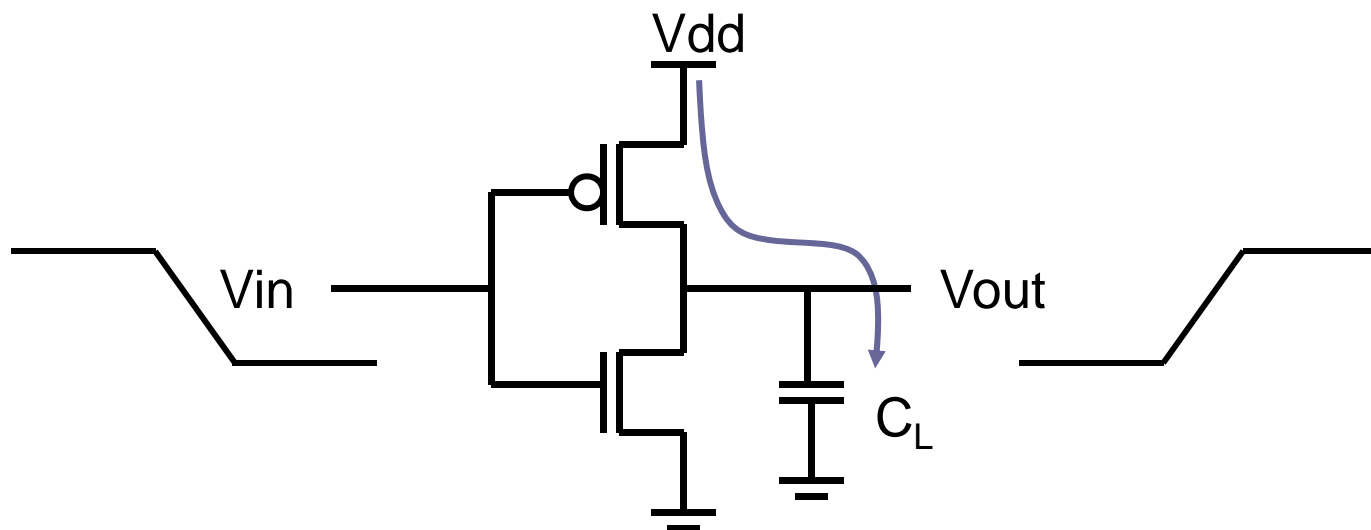
短路电流功耗



假设交变电流*i'*的波形为三角形， P_{dp} 可近似为：

$$P_{dp} \approx \frac{1}{2} f_p V_{DD} I'_{\max} (t_r + t_f)$$

瞬态功耗



每次翻转消耗的能量 $E = C_L V_{DD}^2$

$$P_{\text{dyn}} = E * f = C_L V_{DD}^2 f$$

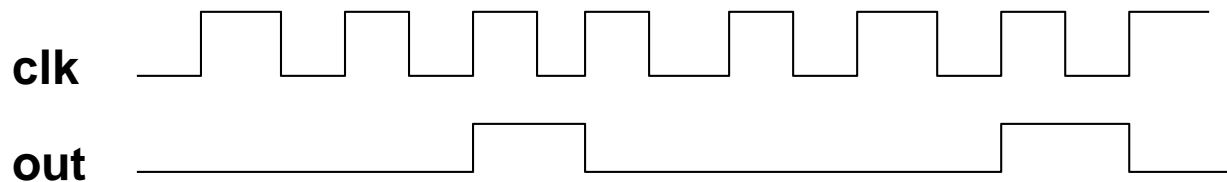
- 动态（翻转）的能量和功耗：与驱动器件的电阻无关
- 为减小功耗需要减小 C_L, V_{DD} 和 f

反相器的平均转换频率

电路中通常用时钟频率 f_{clk}


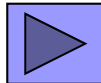
$$P_{\text{dyn}} = \alpha C_L V_{\text{DD}}^2 f_{\text{clk}}$$

开关活动因子

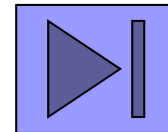


$$\alpha = 25\%$$

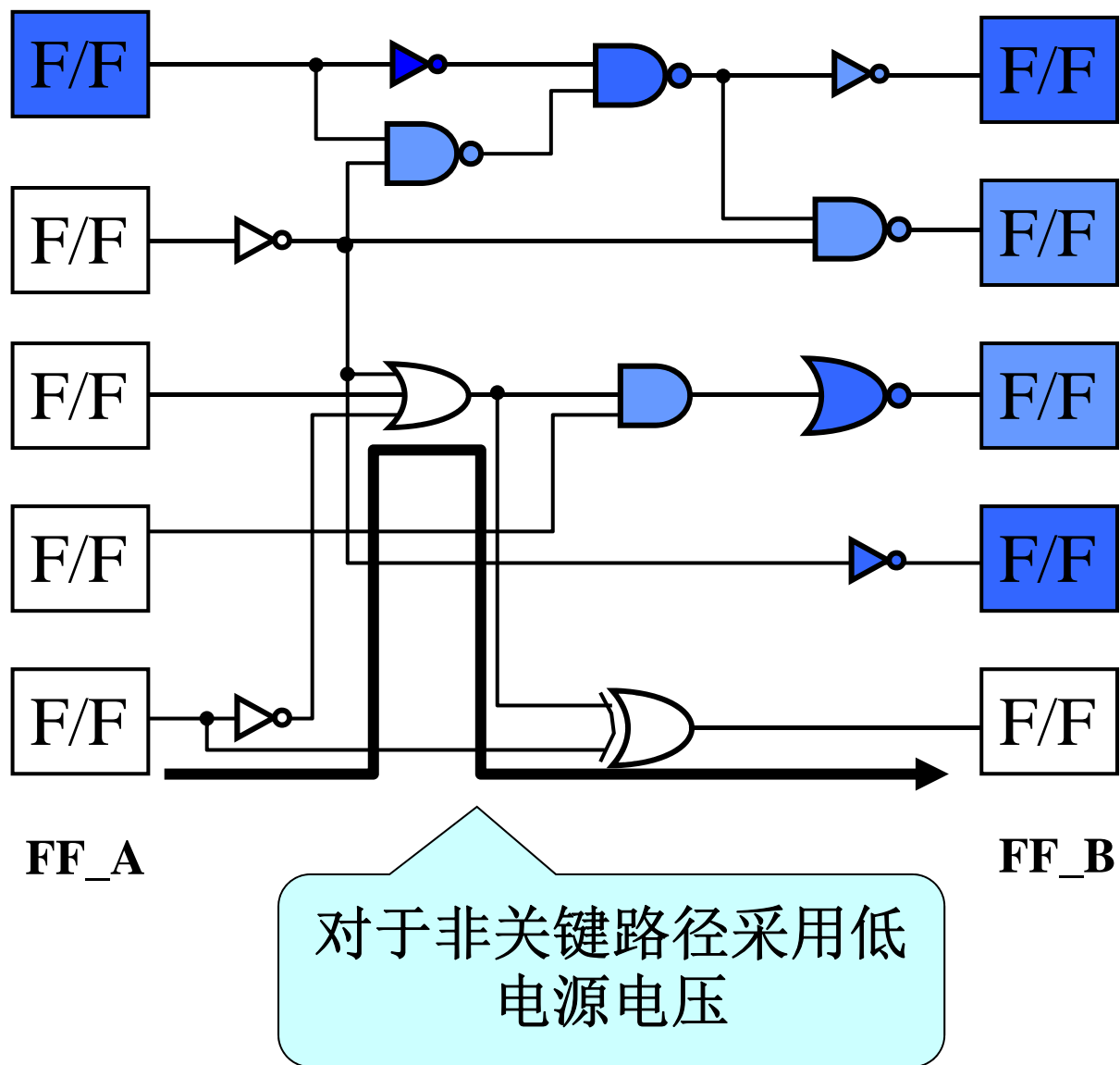
降低动态功耗的基本原则

- 降低电源电压 
- 降低开关活动性 
- 减少实际电容

尽量降低电路门数



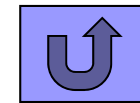
双电源LSI设计技术



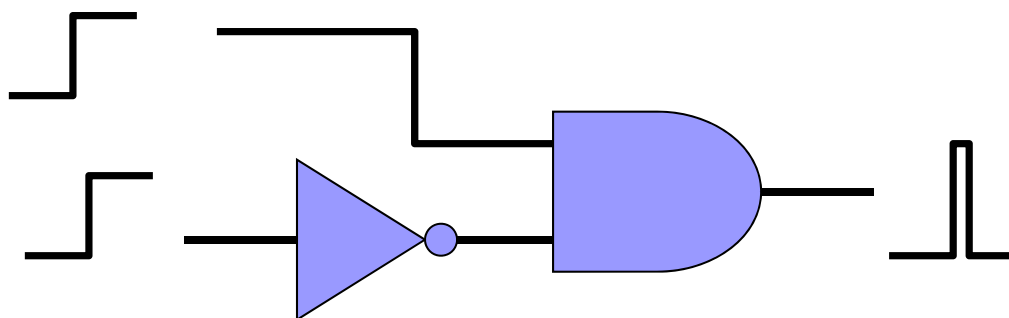
小振幅数据通路技术

- 数据通路信号的振幅减低
- 在数据表现形式上下功夫，减少信号的迁移几率
- 在不变更系统结构的基础上，采用专用数据通路(LVDS)，以减少电路规模

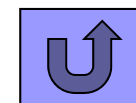
↓
低电压差分信号



减少毛刺和竞争冒险



设计时，使各支路的延时尽可能平衡



设计的综合考虑

CMOS 反相器的总功耗

$$P_{tot} = \underline{P_{dyn}} + P_{dp} + P_{stat} = (C_L V_{DD}^2 + V_{DD} I_{peak} t_s) \underline{f_{0 \rightarrow 1}} + V_{DD} I_{leak}$$

功耗延时积（**PDP**），或每操作的能量损耗：衡量切换一个门所需要的能量

$$PDP = P_{av} t_p$$

能量延时积（**EDP**）：同时考虑性能和能量的衡量

$$EDP = PDP \times t_p = P_{av} t_p^2 = \frac{C_L V_{DD}^2}{2} t_p$$

CMOS静态逻辑门的小结

■ MOS反相器的静态特性

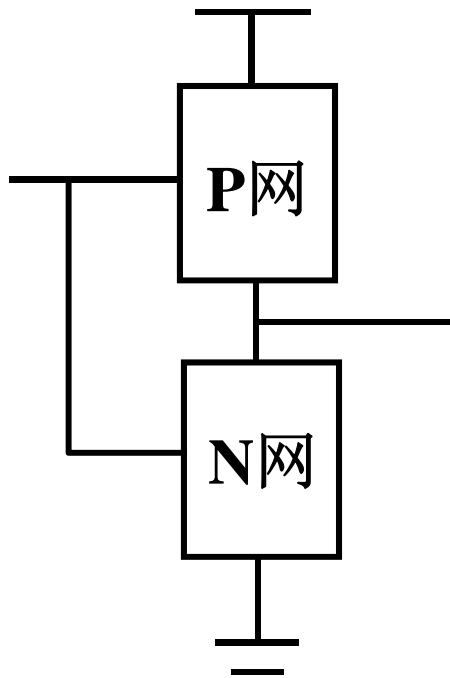
- ◆ 逻辑门的输入输出电平
- ◆ 逻辑门的噪声容限
- ◆ 逻辑门的逻辑阈值

■ MOS反相器的动态特性

- ◆ 逻辑门的开关特性
- ◆ 逻辑门的功耗

CMOS静态逻辑门的小结

■ 复合CMOS逻辑门的构成



- ❖ **NMOS、PMOS互补：**
(并联《====》串联)
NMOS→ 输出为“0”
PMOS→ 输出为“1”
- ❖ 生成电路为**负逻辑：**
组成AND和OR时，
加一反向器。
- ❖ 晶体管数为：
输入端子数的**两倍。**