

行业动态  
Industry News

### 斯坦福研制出具备复杂电路结构的碳纳米管IC

2010-01-05 | 编辑: | [【大】](#) [【中】](#) [【小】](#) [【打印】](#) [【关闭】](#)

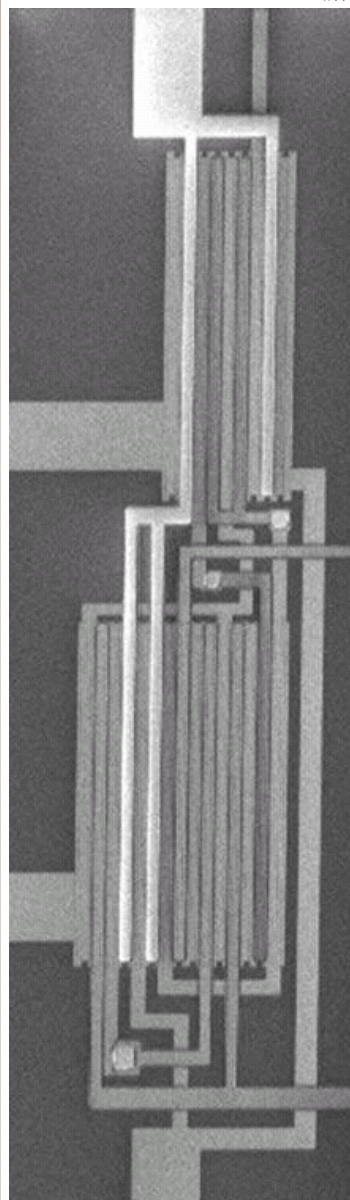
最近斯坦福大学研制出了首个三维碳纳米管结构电路，这项成果可能标志着科学家在研制纳米管计算机方面又取得了一项重要的进展，纳米管计算机相比现有的硅半导体计算机在运算速度和省电性能方面拥有较大的优势。尽管纳米管计算机还需要10

年左右的时间才有可能投入实用，但斯坦福大学的这项研究成果证明人类完全可以使用碳纳米管技术制造出叠层结构的集成电路。叠层结构的集成电路单位体积内的运算效能较高，此外这种电路在散热性能方面也具有一定优势。

据IBM公司最近的一项研究结果显示，在功耗水平相当的情况下，使用碳纳米管技术制造的电路在运行速度上要比传统的硅半导体电路块5倍以上。IBM华生研发中心的高管Zhihong Chen称：“虽然我们可以不断缩小硅晶体管的尺寸，但其尺寸缩小到一定的等级之后，其性能表现便会越来越无法符合设计的要求。为此，我们一直在寻找一种可以替代硅半导体材料的新材料。”

此前科学家们在试验室里已经成功使用纳米管制造出了单个晶体管，不过要把这些单独的晶体管相互连接在一起，组成较大规模的集成电路则是非常困难的一件事，因为此前人们普遍认为要控制好集成电路中每一个纳米管晶体管的制作质量几乎是不可能的事。不过斯坦福大学的科研人员则在上周举办的国际电子器件大会

(International Electron Devices Meeting) 上，介绍了完成这种“不可能任务”的一种方法。



- ▣ [科普首页](#)
- ▣ [微电子历史](#)
- ▣ [行业动态](#)
- ▣ [术语解释](#)
- ▣ [无微不至](#)
- ▣ [芯片制程](#)
- ▣ [科普创意](#)

斯坦福大学电子工程学教授H.S. Philip Wong称：“当我们制造大量纳米级元件时，我们不能过于理想化，要求电路中的每一个纳米级元件都能被完美无缺地制造出来。”在制造碳纳米管集成电路时，电路内部会生成半导体纳米管和金属纳米管两种可能导致电路短路的有害结构。另外，碳纳米管集成电路中，一部分纳米管会沿着直线的方向生长，但另外一部分纳米管则会出现弯曲现象，这是另一个碳纳米管集成电路所需要解决的问题。尽管化学家们正在想办法让纳米管尽量延直线方向生长，并保证碳纳米管的制造过程中不会生成半导体/金属等杂质。但斯坦福大学的科学家则构思出了另外一种方法来应对这两个问题。

他们的思路是正视纳米管电路中很难去除半导体/金属杂质的问题，并想办法尽量消除这些杂质的影响。斯坦福大学的教授Subhasish Mitra称：“我们找到了一种允许电路中存在金属纳米管结构，并能保证这些杂质不会对集成电路造成不良影响的方法。”

斯坦福的研究人员首先在石英基体上生成碳纳米管结构，然后再采用压印技术把这些碳纳米管压制到硅晶圆上，并在这些纳米管的顶部制造出金属电极，而碳纳米管和硅晶圆之间则以绝缘层隔开形成背栅（Back Gate）结构，这样便可以将半导体材质的纳米管关闭，随后科学家会向前面制出的金属电极通电，利用电流将纳米管中的金属杂质烧尽（碳纳米管可通过的电流比金属材料大的多），然后再在纳米管的顶部制出顶栅（Top Gate）结构，最后采用蚀刻方法将顶部留下的多余金属电极消除。重复以上的步骤，便可以制造出堆叠式的三维碳纳米管电路。

在这一系列工序中，碳纳米管的压印技术（Stamping process）是制造纳米管堆叠层的关键技术，这种技术能在低温状态下制造电路，而保持低温状态则可以保证电路中的金属触点不会融化变形，斯坦福大学的研究人员去年曾经展示过这种压印技术。

目前斯坦福大学的研究人员已经可以使用这种技术制造出相当于1960年代硅半导体电路水平的简单电路，这种电路可以用于一些简单的计算，数据存储等应用场合。目前他们已经能够在1微米的尺寸内制造出5-10个碳纳米管，但斯坦福大学的研究人员还计划在现有成果的基础上，制造出更复杂的碳纳米管技术，他们的目标是能在1微米的尺寸范围内制造出100个纳米管，这样才能让碳纳米管电路具备足够的性能水平。

（来源：CNBeta 2009年12月22日）



中国科学院微电子研究所版权所有 邮编：100029

单位地址：北京市朝阳区北土城西路3号，电子邮件：webadmin@ime.ac.cn

京公网安备110402500036号