



行业动态
Industry News



瑞萨电子开发出40nm高密度新型SRAM电路技术

2010-07-12 | 编辑: | 【大】 【中】 【小】 【打印】 【关闭】

瑞萨电子开发出了一种新型SRAM电路技术，可克服因微细化而增加的CMOS元件特性不均现象，还能在维持速度的同时，以更小的面积实现合适的工作裕度。以上内容是在半导体电路技术相关国际会议“2010 Symposium on VLSI Circuits”上发布的（论文序号：10.2）。作为40nm工艺的产品，该公司试制出了bit密度达到业界最高水平的SRAM，并确认了其工作性能。主要用于实现40nm工艺以后SoC（System on a Chip）的低成本化及低功耗化。

在SoC的构成要素中，SRAM最易受到工艺微细化导致的特性不均的影响。因为随着产品实现微细化，可使SRAM稳定工作的裕度会不断减小。因此，原来为了维持工作裕度，该公司提出了通过附加多个电源控制电路，分别控制SRAM的电源线、字线或者数据线的方式等。不过，采用这种方式，即使SRAM的单元面积可以缩小，但包括电源控制电路在内的SRAM整体面积很难削减。

为了解决这一课题，该公司此次开发出了两种技术。一种是降低工作裕度减小影响的多级字线控制技术。分多个时间段对字线进行电压控制，仅在字线的控制电路上集成原方式所需的多个电源控制电路。此时，通过稳步对字线进行电压控制，即使CMOS元件存在特性不均，也可向SRAM稳定写入或读取数据。另外，通过仅在字线上进行电源控制，还提高了bit密度。

第二种是同时兼顾高速化及小面积化的分层SRAM技术。该公司开发出了将位线多次分割、削减连接位线的微小SRAM单元数量的分层SRAM技术。在被分割的位线上附加本机灵敏放大器（信号振幅放大电路），支援原来存在的灵敏放大器工作。这样，可防止通过稳步控制多级字线控制所需的字线而导致的SRAM工作速度减慢。另外，该公司通过使用与SRAM单元相同的微细化工艺制造本机灵敏放大器，将面积增加控制在最小限度，并实现了高bit密度。

此次，该公司利用这些技术，试制出了采用40nm工艺CMOS技术中单元面积业界最小的 $0.248\mu\text{m}^2$ 单元、bit密度高达 $2.98\text{Mbit}/\text{mm}^2$ 的2MbitSRAM，并已确认其可稳定动作。

（来源：日经BP社 2010年6月24日）

- ▣ 科普首页
- ▣ 微电子历史
- ▣ 行业动态
- ▣ 术语解释
- ▣ 无微不至
- ▣ 芯片制程
- ▣ 科普创意



中国科学院微电子研究所版权所有 邮编：100029

单位地址：北京市朝阳区北土城西路3号，电子邮件：webadmin@ime.ac.cn

京公网安备110402500036号