


 行业动态
Industry News

东芝发布40nm工艺SoC用低电压SRAM技术

2010-07-12 | 编辑: | [【大】](#) [【中】](#) [【小】](#) [【打印】](#) [【关闭】](#)

东芝在“2010 Symposium on VLSI Technology”（2010年6月15~17日，美国夏威夷檀香山）上，发布了采用09年开始量产的40nm工艺SoC的低电压SRAM技术。该技术为主要用于便携产品及消费类产品的低功耗工艺技术。通过控制晶体管阈值电压的经时变化，可抑制SRAM的最小驱动电压上升。东芝此次证实，单元面积仅为 $0.24\mu\text{m}^2$ 的32Mbit SRAM的驱动电压可在确保95%以上成品率的情况下降至0.9V。因此，低功耗SoC的驱动电压可从65nm工艺时的1.2V降至0.9V以下。

降低SRAM的电压是SoC实现微细化时存在的最大技术课题之一。SRAM由于集成尺寸比逻辑部分小的晶体管，因此容易导致每个晶体管的阈值电压不均。而且，使6个晶体管联动可实现存储器功能，因此每个晶体管的不均都容易引发性能不良。所以，尖端SoC“需要以较高的成品率制造大容量且低电压工作的SRAM的技术”（东芝半导体系统LSI业务部系统LSI元件技术开发部部长亲松尚人）。

此次，作为满足该要求的混载SRAM技术，东芝开发出了不易受NBTI（negative bias temperature instability）等导致的阈值电压变化影响的晶体管技术。NBTI是指晶体管的阈值电压随着时间的推移，受印加电压及温度的影响发生变化的现象。该公司此次的技术由2个要素构成，分别是（1）控制NBTI发生，（2）控制NBTI等导致的阈值电压变动对晶体管工作造成的影响。

（1）作为控制NBTI发生的技术，该公司向多晶硅栅极及SiON栅极绝缘膜的界面附近添加了Hf（铪）。Hf可作为使SiON栅极绝缘膜与硅基板界面上存在的氧原子悬空键（DanglingBond）相互结合的催化剂发挥作用。由此可控制悬空键引起的NBTI现象。该技术以东芝与NEC电子（现在的瑞萨电子）的CMOS工艺技术共同开发成果为基础，于08年开发而成。

（2）为了降低NBTI等导致的阈值电压变动给晶体管工作造成的影响，该公司使镍发生了硅化反应，并对其周边工艺进行了改进。这样，镍便会在硅基板中异常扩散，形成结漏电流源，从而控制晶体管的阈值电压随着NBTI等发生大幅变动的现象。

东芝采用这些方法在SoC上混载了50M~60Mbit左右的SRAM，而关于DRAM，则采用通过 $40\mu\text{m}$ 引脚的微焊点（Microbump）使其与SoC芯片层积的方法。东芝已通过部分65nm工艺导入了该方法，今后还打算在40nm工艺上沿用。

- ▣ [科普首页](#)
- ▣ [微电子历史](#)
- ▣ [行业动态](#)
- ▣ [术语解释](#)
- ▣ [无微不至](#)
- ▣ [芯片制程](#)
- ▣ [科普创意](#)



东芝的亲松表示“从DRAM的容量、数据传输速度及工艺成本等方面来判断，尖端工艺最好不要在SoC上混载DRAM”。东芝的目标是“向客户提供结合最尖端的SoC技术与SiP技术的模块”。目前DRAM的最大容量约为512Mbit，东芝计划今后使1Gbit以上的DRAM与SoC实现芯片层积”。

（来源：日经BP社 2010年6月22日）



中国科学院微电子研究所版权所有 邮编：100029

单位地址：北京市朝阳区北土城西路3号，电子邮件：webadmin@ime.ac.cn

京公网安备110402500036号