



当前位置 >> 首页 >> 综合信息 >> 综合新闻

综合信息

- 头条新闻 >
- 综合新闻 >
- 教育动态 >
- 合作交流 >
- 学术活动 >
- 图片新闻 >
- 业内信息 >
- 通知公告 >

● 综合新闻

微电子所在2T0C DRAM研究取得创新进展

稿件来源: 重点实验室卢文栋、张康玮 发布时间: 2023-01-06

动态随机存储器 (DRAM) 是存储器领域中的一个重要分支。基于铟镓锌氧 (IGZO) 晶体管的2T0C无电容DRAM, 有望突破传统1T1C-DRAM的微缩限制、高刷新率等问题。但相比传统的1T1C结构, 2T0C-DRAM仍存在诸多挑战: 由于其读字线与写字线位于读晶体管的源漏端, 存在潜在的电流分享路径, 不利于读写操作; 两条独立的读/写位线使得电路布局布线更复杂, 需要更复杂的外围电路控制读写; 在阵列级的DRAM上, 读字线存在严重的IR Drop问题, 限制了阵列规模。

针对2T0C-DRAM的上述缺陷, 微电子所微电子重点实验室刘明院士团队与超弦存储研究院赵超研究员团队联合研发出基于高性能双栅IGZO晶体管的新型双栅结构2T0C-DRAM。器件层面上, 通过微缩栅介质等效氧化层厚度和半导体厚度来提高器件的栅控能力, 并进一步优化金属半导体接触, 降低了器件的接触电阻, 实现了性能优异的双栅a-IGZO短沟道晶体管, 其中沟道长度 $L_{CH}=13.9\text{ nm}$ , 亚阈值摆幅 $SS=76.8\text{ mV/dec}$ ,  $I_{ON}=1500\text{ }\mu\text{A}/\mu\text{m}$  @ ( $V_{DS}=1\text{ V}$ ,  $V_{GS}-V_{TH}=3\text{ V}$ )。电路层面上, 提出了双栅2T0C-DRAM新结构, 利用双栅的两个栅端分别完成数据存储和读写操作控制, 基于栅端控制读写的优势, 这种双栅2T0C-DRAM的读写更具灵活性、读字线可免于IR Drop问题、读写可共享一条位线。实验制备的双栅2T0C-DRAM能够实现大于300秒的保持时间、大于100的读“1”与读“0”电流开关比。

基于该成果的文章“First Demonstration of Dual-Gate IGZO 2T0C DRAM with Novel Read Operation, One Bit Line in Single Cell,  $I_{ON}=1500\text{ }\mu\text{A}/\mu\text{m}$  @  $V_{DS}=1\text{ V}$  and Retention Time > 300s”入选2022 IEDM, 并获选Top Ranked Students文章。微电子所博士生卢文栋、超弦存储研究院朱正勇研究员和微电子所博士生陈楷飞为第一作者, 微电子所杨冠华副研究员、李泠研究员以及超弦存储研究院赵超研究员为通讯作者。

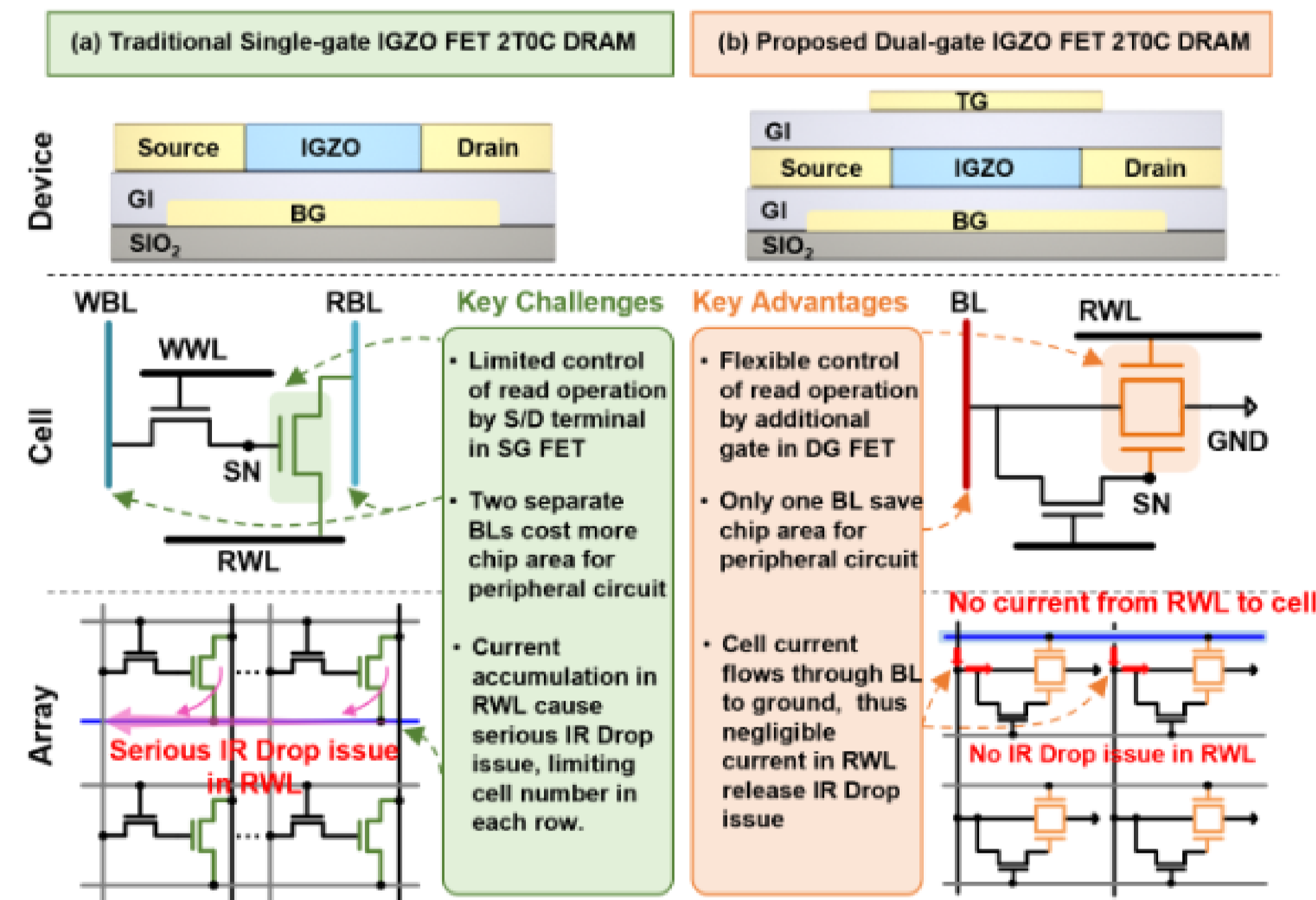


图1单栅与双栅2T0C-DRAM结构及优势对比

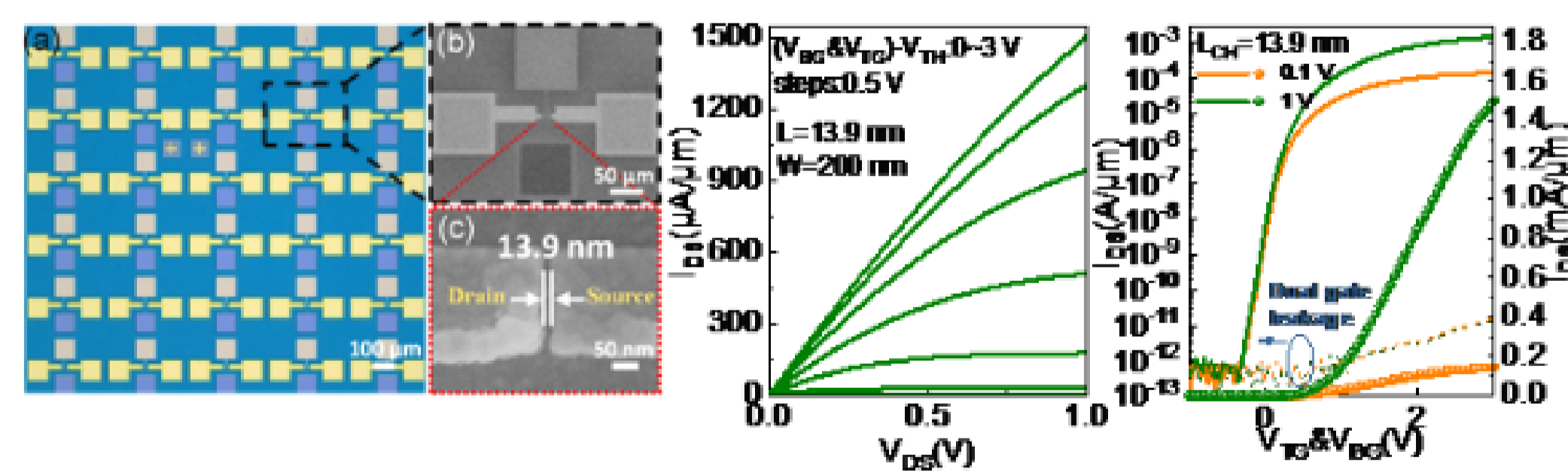


图2短沟道双栅晶体管光学显微图、SEM图以及转移输出曲线

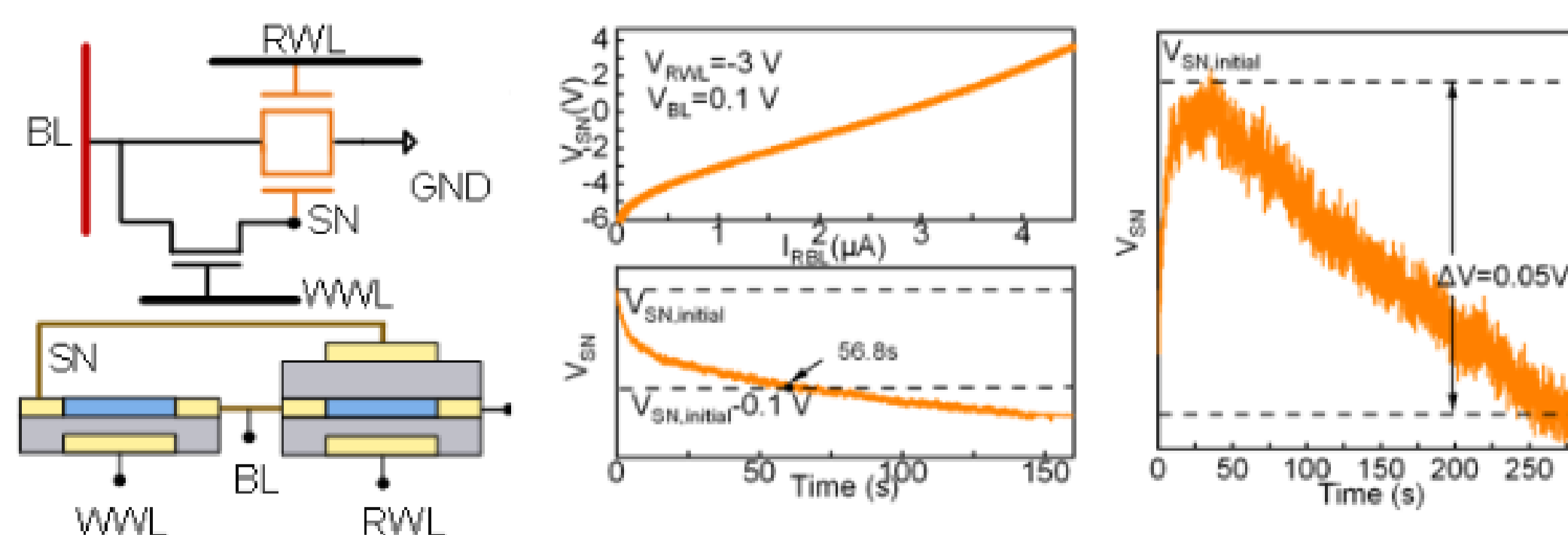


图3双栅2T0C-DRAM示意图以及保持时间测试

