

文章编号:1001-5132 (2009) 04-0495-05

基于 CTGAL 电路的低功耗十进制复位计数器设计

高 虹, 汪鹏君*

(宁波大学 电路与系统研究所, 浙江 宁波 315211)

摘要: 通过对计数器和钟控传输门绝热逻辑电路工作原理及结构的研究, 提出一种带复位功能的低功耗十进制计数器设计方案. 新方案利用 CTGAL 电路钟控传输门对输入信号进行采样, 然后通过自举操作的 NMOS 管和 CMOS-latch 结构对输出负载进行全绝热方式充放电, 并通过计数器预置复位端结构实现进制可变计数器的设计. PSPICE 的模拟结果表明: 所设计的电路具有正确的逻辑功能, 在相同工作频率下, 与传统 CMOS 电路实现的十进制计数器相比, 平均节省能耗约 82%.

关键词: CTGAL 电路; 十进制计数器; 低功耗

中图分类号: TP331.2

文献标识码: A

集成电路工艺水平的不断进步使得电路集成度不断提高, 降低电路功耗已经成为芯片设计首要考虑的目标之一, 对低功耗技术的研究已成为集成电路设计中越来越重要的领域. 传统 CMOS 电路的能量使用方式是由电源→电容→地, 并一次性消耗, 能量利用率低; 而采用交流能源的绝热 CMOS 电路, 实现由电源→电容→电源的新型能量恢复方式, 利用电源中的电感和电路中的节点电容形成 LC 振荡回路, 使得能量以磁能和电能的形式相互转化, 有效地回收电路中节点电容存储的电荷, 达到显著降低功耗的目的^[1].

计数器是数字系统中应用最多的时序电路, 它不仅能用于对时钟脉冲计数, 还可以用于分频、定时、产生节拍脉冲和脉冲序列以及进行数

字运算等^[2]. 目前, 业界已对计数器的功能进行了深入的研究^[3-4], 虽然有研究提出过低功耗计数器的设计方案, 但其主要还是采用时序逻辑电路的冗余抑制技术和双边沿触发技术^[3], 以提高系统速度, 来降低电路的功耗; 但冗余抑制技术仍采用传统 CMOS 电路直流电源供电方式, 它的能量总是以电能到热能不可逆转的形式进行转化, 其功耗节省的幅度有限.

鉴此, 笔者在研究计数器和绝热电路工作原理的基础上, 利用钟控传输门绝热逻辑(Clocked Transmission Gate Adiabatic Logic, CTGAL)电路^[5]提出一种具有预置复位端的十进制计数器设计方案, 用 PSCIE 模拟验证所设计电路逻辑功能的正确性和低功耗特性.

收稿日期: 2009-05-14.

宁波大学学报(理工版)网址: <http://3xb.nbu.edu.cn>

基金项目: 国家自然科学基金(60776022); 浙江省科技计划资助项目(2008C21166); 浙江省科技厅新苗人才计划(2008R40G2070015); 宁波大学教授基金; 胡岚优秀博士基金资助项目; 浙江省大学生创新创业孵化项目.

第一作者: 高 虹(1985-), 女, 浙江安吉人, 在读硕士研究生, 主要研究方向: 集成电路设计. E-mail: gaohong_vs_ni@sina.com

*通讯作者: 汪鹏君(1966-), 男, 浙江奉化人, 博导/教授, 主要研究方向: 逻辑电路和低功耗集成电路. E-mail: wangpengjun@nbu.edu.cn

1 CTGAL 门电路设计

CTGAL 电路是一种采用二相无交叠功率时钟的具有极低功耗的绝热电路^[6], 其电路如图 1 所示. CTGAL 的操作分为 2 级: 第 1 级在钟控时钟 $\overline{\text{clk}}$ 的控制下通过 2 个钟控 NMOS 管(N_1, N_2)对输入信号 ($\text{in}, \overline{\text{in}}$)进行采样; 第 2 级通过自举操作的 NMOS 管 (N_3, N_4) 以及组成 CMOS-latch 结构的 P_1, N_5, P_2, N_6 对负载充放电, 使充放电为全绝热过程. 该电路由二相无交叠功率时钟(相位差 180°)供电, 其中, 在第 1 级操作中的钟控时钟 $\overline{\text{clk}}$ 比功率时钟源 clk 提前 $T/2$, 即相位刚好与功率时钟源 clk 差 180° , 因此该电路工作时无需增加时钟源数目. $\text{out}, \overline{\text{out}}$ 为互补输出, $\text{in}, \overline{\text{in}}$ 为互补输入, 且输入与钟控时钟的相位相同.

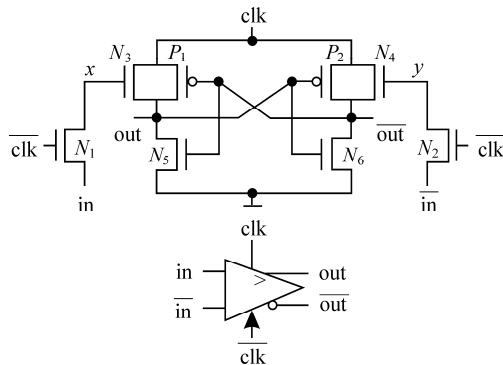


图 1 CTGAL 电路和符号

CTGAL 电路的模拟波形如图 2 所示. 其中钟控时钟为 $\overline{\text{clk}}$, 功率时钟源为 clk , 输入信号 in 为“1010...”, 1 个功率时钟周期分为 6 个时间段: T_1, T_2, \dots, T_6 . 时间段 $T_1 \sim T_3$ 统称为采样期, 实现对输入信号的采样. 时间段 T_4, T_5, T_6 分别为逻辑赋值期、保持期、能量恢复期. 在时间段 $T_4 \sim T_6$ 内, 由于输入信号及钟控信号均为 0V , 故使得 N_1, N_2 保持在截止状态, 节点 x, y 处于浮动状态. 当 clk 逐渐升高时, 由于节点 x 与 clk 间的寄生电容作用, 处于浮动高电平的节点 x 将通过自举作用使它的电平超过 $V_{\text{DD}} - V_{\text{TN}}$. 这样在赋值期一开始, N_3 管已导通, 从而消除了由阈值损失引起的非绝热功耗.

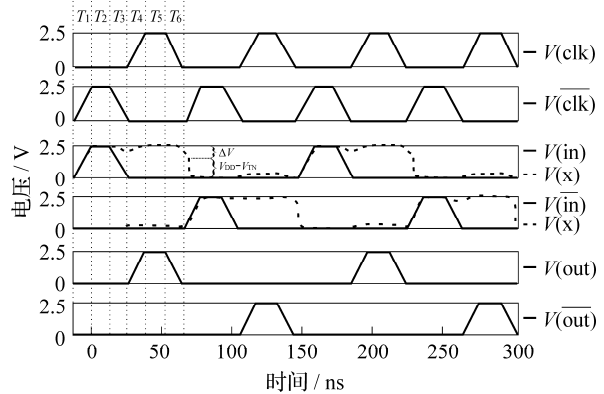


图 2 CTGAL 电路模拟波形

通过对 CTGAL 电路的改进, 可进一步设计相关的绝热门电路^[7], 如通过在第 1 级操作中用钟控 NMOS 管(如图 1 中的 N_1, N_2)对各输入信号进行采样, 然后用互补 NMOS 逻辑块代替 CTGAL 中的 N_3, N_4 , 即可得到带复位信号的 CTGAL(reCTGAL) 电路, 如图 3 所示.

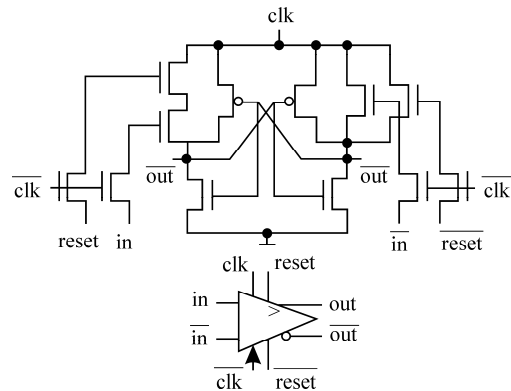


图 3 reCTGAL 电路和符号

2 具有复位功能的绝热十进制计数器设计

根据数字电路的设计方法, 利用 CTGAL 单元电路设计具有复位功能的绝热十进制计数器.

2.1 具有复位功能的绝热十进制计数器状态方程

计数器的工作特点是在时钟信号操作下自动地依次从 1 个状态转为下 1 个状态, 所以它没有输入逻辑变量, 属于穆尔型时序电路. n 个触发器共有 2^n 种状态组合, 为获得时序电路所需的 M 个状

态, 需满足 $2^{n-1} < M \leq 2^n$, 十进制计数器有 10 个有效状态, 即 $M=10$, 故应取计数器位数 $n=4$. 具有复位功能的绝热十进制计数器状态转换表表 1. 其中, $reset$ 为电路复位信号, $Q_i^+, \bar{Q}_i^+, i=0,1,2,3$ 分别为电路的现态和次态. 由真值表可知, 当 $reset=0$ 时, 复位信号有效计数器清零; 当 $reset=1$ 时, 计数器正常计数.

表 1 绝热十进制复位计数器状态转换表

$reset$	Q_3	Q_2	Q_1	Q_0	Q_3^+	Q_2^+	Q_1^+	Q_0^+
1	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
1	0	0	1	0	0	0	1	1
1	0	0	1	1	0	1	0	0
1	0	1	0	0	0	1	0	1
1	0	1	0	1	0	1	1	0
1	0	1	1	0	0	1	1	1
1	0	1	1	1	1	0	0	0
1	1	0	0	0	1	0	0	1
0	1	0	0	1	0	0	0	0

由于电路的次态 $Q_3^+ \sim Q_0^+$ 唯一地取决于电路现态 $Q_3 \sim Q_0$ 的取值, 故可根据表 1 画出表示次态逻辑函数的卡诺图, 卡诺图如图 4 所示.

由上述状态转换表和卡诺图化简法可得复位十进制计数器电路的状态方程, 如式(1a)~(4b)所示. 其中, 信号 $Q_i^+, \bar{Q}_i^+ (i=0,1,2,3)$ 表示电路次态所对应的输出信号值.

$$Q_3^+ = reset(Q_3\bar{Q}_0 + Q_2Q_1Q_0), \quad (1a)$$

$$\bar{Q}_3^+ = \overline{reset} + \bar{Q}_3(\bar{Q}_2 + \bar{Q}_1 + \bar{Q}_0) + Q_0(\bar{Q}_2 + \bar{Q}_1), \quad (1b)$$

$$Q_2^+ = reset[\bar{Q}_2Q_1Q_0 + Q_2(\bar{Q}_1 + \bar{Q}_0)], \quad (2a)$$

$$\bar{Q}_2^+ = \overline{reset} + Q_2Q_1Q_0 + \bar{Q}_2(\bar{Q}_1 + \bar{Q}_0), \quad (2b)$$

$$Q_1^+ = reset(\bar{Q}_3\bar{Q}_1Q_0 + Q_1\bar{Q}_0), \quad (3a)$$

$$\bar{Q}_1^+ = \overline{reset} + Q_3(\bar{Q}_1 + Q_0) + Q_1Q_0 + \bar{Q}_1\bar{Q}_0, \quad (3b)$$

$$Q_0^+ = reset\bar{Q}_0, \quad (4a)$$

$$\bar{Q}_0^+ = \overline{reset} + Q_0. \quad (4b)$$

2.2 一位绝热计数器单元设计

根据 CTGAL 电路的时序特性和触发器原理, 将 2 片 reCTGAL 电路级联可得到 CTGAL 触发器

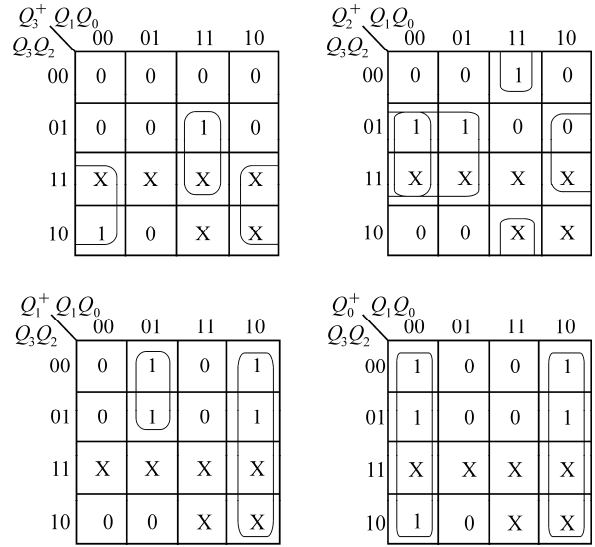


图 4 $Q_3^+, Q_2^+, Q_1^+, Q_0^+$ 的卡诺图

电路^[8]. 由电路状态方程可知, 将 reCTGAL 电路主锁存器的输入信号按式(1a), (1b)代替, 输出为 Q_3' 和 \bar{Q}_3' , 而从锁存器结构保持不变, 其输入端与主锁存器输出信号相连, 可得到一位计数位 Q_3 的电路结构图(图 5). 图 5 中输入信号前所加的“c”表示是原信号经 \bar{clk} 采样后的值, 如 $creset$ 表示信号 $reset$ 经 \bar{clk} 采样后的值. 同理可得其他计数位 $Q_2 \sim Q_0$ 的电路结构图.

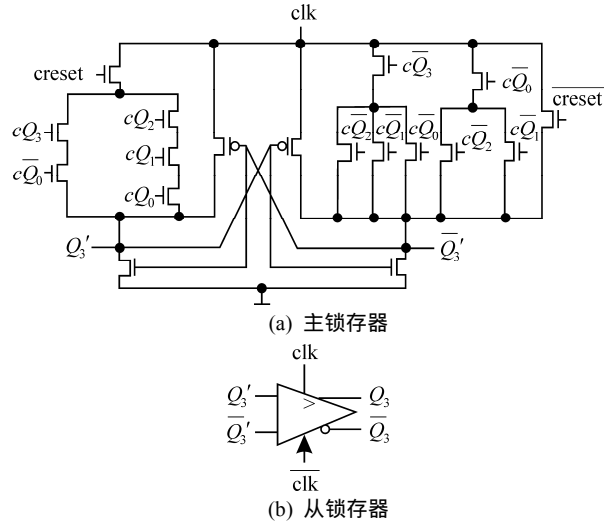


图 5 Q_3 电路结构图

2.3 多位绝热计数器单元设计

多位绝热计数器是以一位绝热计数器为基本单元实现的, 其预置复位端结构可实现进制可变

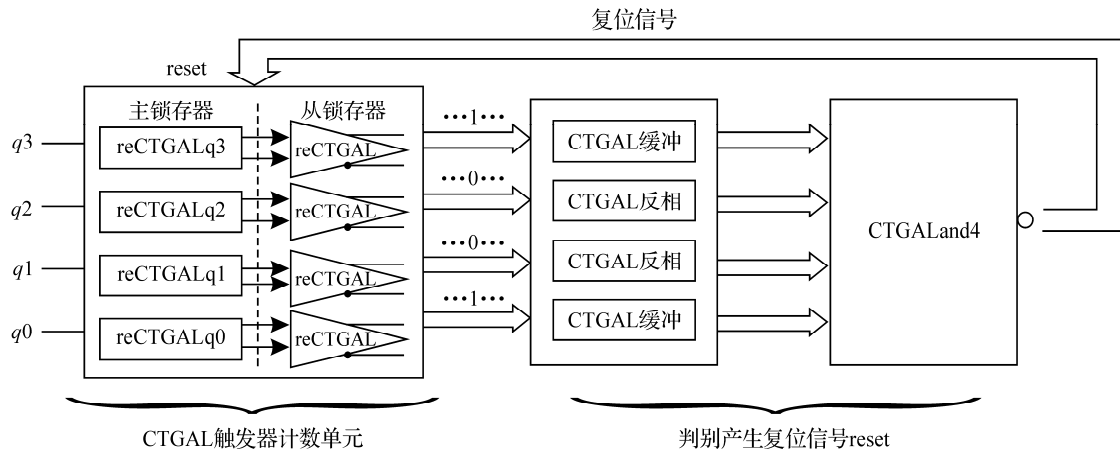


图6 计数器结构框图

计数器设计, 而笔者以四位十进制绝热计数器为例, 结构框图如图6所示. 整个电路分为两大模块: CTGAL 触发器计数单元部分中, 主锁存器的输入由从锁存器输出反馈得到, 无外接输入信号, 实现自动计数; 电路判别产生复位信号部分, 检测来自CTGAL 触发器计数单元的序列信号, 当检测信号为“1001”时, 产生有效复位信息, 计数器清零.

为验证电路的逻辑功能是否正确, 可将其中3个无效状态1010, 1101, 1111分别代入电路状态方程中计算, 所得次态分别为0100, 0100, 1000, 故此计数器能自启动, 逻辑功能正确.

笔者提出的带复位功能的十进制绝热计数器改进了 2^N 进制计数器计数不够灵活的功能要求, 并可通过多个计数器级联实现任意进制计数器设计. 假设已有计数器是十进制, 即 $M=10$, 需要得到的是 N 进制计数器. 当 $N < M$ 的情况下, 通过改变计数器判别产生复位信号模块, 即可实现 N 进制计数器设计; 当 $N > M$ 的情况下, 可用多片 M 进制计数器组合, 并通过产生复位信号即可构成 N 进制计数器, 且功耗极低.

3 计算机模拟与结论

在采用 TSMC 0.25 μm CMOS 工艺器件参数情况下, 对上述基于 CTGAL 电路的十进制复位计数

器进行功能模拟和功耗比较. 在计数器计到“1001”时, 复位端产生复位信号“0”, 整个电路自动清零, 波形如图7所示. 当工作频率为33 MHz, 1.4 μs 时间内, 基于 CTGAL 电路的十进制复位计数器和基于传统 CMOS 电路的十进制复位计数器的瞬态能耗相比, 平均节省能耗约 82%, 且随着时间增加, 电路节省能耗越明显(图8). 可见, 基于 CTGAL 电路的十进制复位计数器具有显著的低功耗特性.

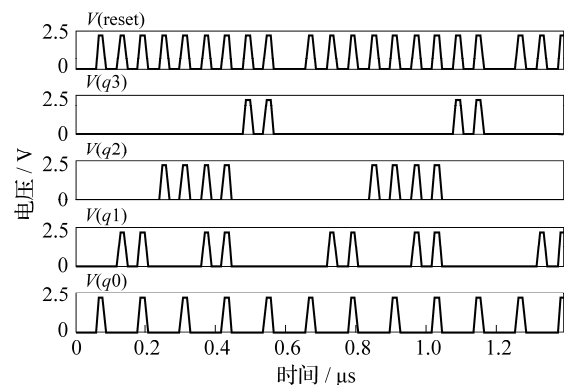


图7 计数器模拟波形

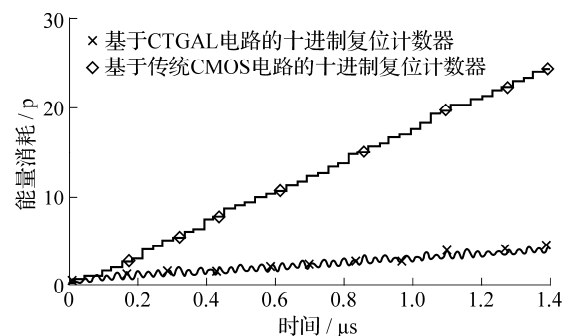


图8 瞬态能耗比较

绝热电路所特有的能量恢复功能具有显著的低功耗特性,在此基础上设计的绝热复位计数器对一进步研究低功耗运算电路有重要意义.

参考文献:

- [1] 吴训威, 杭国强. 绝热计算原理与能量恢复型 CMOS 电路[J]. 计算机学报, 2000, 23(7):779-785.
- [2] 王毓银. 数字电路逻辑设计[M]. 北京: 高等教育出版社, 2005.
- [3] 单长虹, 陈忠泽, 单健. 基于双边沿触发计数器的低功耗全数字锁相环的设计[J]. 电路与系统学报, 2005, 10(2): 142-145.
- [4] 刘莹, 方倩, 方振贤. 反馈式 ECL 记忆门的记忆性能和移位计数器[J]. 半导体学报, 2006, 27(12):2 184-2 189.
- [5] Wang Pengjun, Yu Junjun. Design of two-phase sinusoidal power clock and clocked transmission gate adiabatic logic circuit[J]. Journal of Electronics, 2007, 24(3):225-231.
- [6] 汪鹏君, 郁军军. 钟控传输门绝热逻辑电路和 SRAM 的设计[J]. 电子学报, 2006, 34(2):301-305.
- [7] 汪鹏君, 徐建, 杜歆, 陈耀武. 基于钟控传输门绝热逻辑电路的绝热 FIFO 设计[J]. 浙江大学学报: 工学版, 2008, 42(8):1 294-1 299.
- [8] 刘莹, 方振贤. 交叉耦合绝热动态触发器及同步动态时序电路[J]. 电路与系统学报, 2002, 7(4):17-21.

Design of Low-power Decimal Counter with Reset Based on CTGAL Circuit

GAO Hong, WANG Peng-jun*

(Institute of Circuits and Systems, Ningbo University, Ningbo 315211, China)

Abstract: Based on the working principle, counter structure and Clocked Transmission Gate Adiabatic Logic circuits, a design scheme of decimal counter with reset is proposed. The scheme makes use of clocked transmission gate to sample the input signals, then output loads are charged or discharged in a fully adiabatic manner using bootstrapped NMOS and CMOS-latch structure. The scale alterable counter is implemented by adopting the proposed reset structure. PSPICE simulation results substantiate the validity of the functionality of the designed circuits, which can save up to about 82% energy compared to generic CMOS decimal counter at the same frequency.

Key words: CTGAL circuit; decimal counter; low-power

CLC number: TP331.2

Document code: A

(责任编辑 章践立)