

# DBBC 数字部分控制功能的设计与实现<sup>\*</sup>

吴亚军<sup>1,2</sup> 项英<sup>1</sup> 张秀忠<sup>1</sup> 赵融冰<sup>1</sup>

(1. 中国科学院上海天文台, 上海 200030; 2. 中国科学院研究生院, 北京 100049)

## 提 要

宽带数字化 VLBI 记录终端是国际 VLBI 服务组织(IVS) VLBI 2010 发展计划的关键设备。上海天文台进行了数字基带转换器(DBBC)的研究。DBBC 由模拟射频部分和数字部分两大模块组成。数字部分控制功能主要实现 FPGA 加载、BBC 参数设置和读取、系统工作状态的监视等功能。该文研究了以 Xilinx FPGA 为平台构建基于 PowerPC(硬核)和 PCI 总线(OPB\_PCI 软核)的嵌入式系统,接收控制计算机命令,并作相应的处理以实现数字部分控制功能。

主题词: DBBC — 控制功能 — FPGA — PowerPC — OPB\_PCI

分类号: P228.6, TP273

## 1 引 言

甚长基线干涉测量技术(Very Long Baseline Interferometry, VLBI)是现代天文观测中分辨率最高的观测手段。VLBI 数据采集系统作为 VLBI 台站的主要设备,承担着频段选择、数据采集、数据编码、数据记录等任务。宽带数字化 VLBI 记录终端是国际 VLBI 服务组织(IVS) VLBI 2010 发展计划的关键设备,用来替代维护艰难、国际上已不再生产的模拟基带转换器(Analog Base-Band Converter, ABBC)。数字终端在更高的频率上将模拟信号数字化,以 FPGA(Field Programmable Gate Array)或 DSP 为处理器,利用丰富的数字信号处理技术,实现将中频的数字信号转化为数字的基带信号<sup>[1~3]</sup>。

目前国际上进行 VLBI 宽带数字化终端研究的主要有欧洲的 EVN DBBC(Digital Base-Band Converter, 数字基带转换器)、美国的 Digital Backend(DBE)、日本的 ADS3000 系列和中国的 DBBC。其中欧洲较早开始相关的研究,目前正在研制 EVN DBBC. 2<sup>[4]</sup>。其 DBBC 对四路 512M 或 1024M 带宽的中频模拟信号采样后,经过数字混频、FIR(Finite Impulse Response, 有限冲激响应)滤波等处理,实现数字下变频<sup>[4~7,12]</sup>。美国的 DBE 将中频信号数字化后,采用多相滤波加 FFT(Fast Fourier Transform, 快速傅立叶变化)的复数调制滤波器组来划分频带,目前该项目进展到研制 DBE2 的阶段<sup>[8~10]</sup>。日本的 K5 系统数据采集系统为 ADS 系列,其早期产品有 ADS1000 和 ADS2000。ADS1000 提供一个通道 512M 带宽的数据,专用于测地 VLBI。ADS2000 有 16 通道的输入,每个通道由 64M 的 AD 采样器量化,产生一个通道的输出。其最新的系统是 ADS3000Plus,该系统的算法部分也是由 FPGA 实现,可以通过对 FPGA 的重新配

置实现不同的应用。目前提供的 16 通道样机能够用于传统的测地 VLBI 观测。该系统还处于研制阶段<sup>[11]</sup>。

因为探月二期工程和天文观测的需要,上海天文台也在进行数字终端 DBBC 的研制,采用了类似欧洲的方式。整个 DBBC 由两部分——模拟射频部分和数字部分组成。模拟射频部分提供宽带(512M 带宽)的中频信号和与氢钟同步的 1024M 时钟信号。数字部分分为数字信号处理部分和控制部分。数字信号处理部分通过数字算法实现数字下变频,该部分完全在 Xilinx FPGA 内实现<sup>[12~14]</sup>。控制部分主要实现 FPGA 加载、BBC 参数设置和读取、系统工作状态的监视等控制功能。

DBBC 数字部分为基于 cPCI 总线的凌华工控机,在其 PCI 插槽上插入 1 块商用 CPU 主卡和 5 块自行研制的板卡(四块信号处理板和一块信号综合板)。CPU 主卡运行 linux 操作系统,通过 cPCI 总线对其他的板卡进行 FPGA 加载和参数的配置。每一块数字信号处理板上有一块高速 A/D、一块 Xilinx Virtex4 FX60 和四块 Xilinx Virtex4 LX160,其中 FX60 芯片中有一个 PowerPC 处理器的硬核。

图 1 表示 DBBC 数字部分的主要部件,其中虚线框内部分在信号处理板上实现。模拟中频信号经过 A/D 后成为数字信号,被依次送到四块 LX160 芯片做信号处理,得到具有一定带宽的基带信号。信号综合板对基带信号作选择后将其送到 VLBI 数据记录设备(比如 Mark5B)。而对于控制部分,FX60 芯片接收控制计算机的指令后,根据该指令控制相应的 LX160 芯片内的数字信号处理部分。

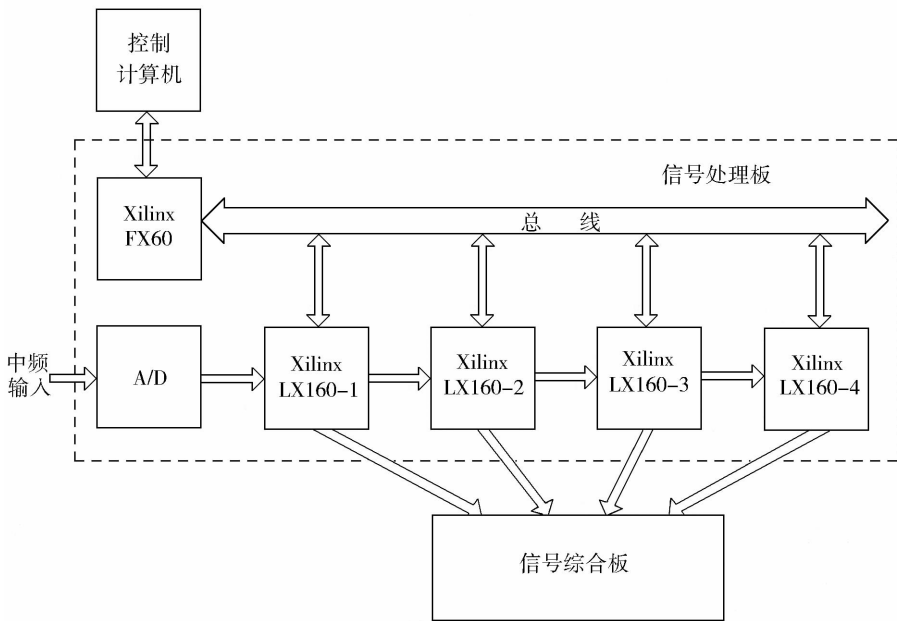


图 1 DBBC 数字部分主要部件

Fig. 1 Basic Components of Digital part of DBBC

本文拟讨论在信号处理板的 FX60 芯片内,以 ISE、EDK 集成开发环境为工具,搭建基于 PowerPC 处理器的硬件平台,通过 PCI 控制器的 IP Core(OPB\_PCI)与工控机的 PCI 总线相连,

实现与工控机的信息交互;在 PowerPC 内,以 C 语言编写程序实现控制功能。在本设计中,PowerPC 处理器、DDR 控制器、PCI 总线控制器、串口控制器以及其他功能模块在一片 FX60 芯片内实现,有较高的集成度,使得信号处理板的设计和制作更为方便、可靠性更高,同时也降低了成本。

## 2 硬件平台的建立

DBBC 控制部分由 Xilinx Virtex4 FX60 FPGA 芯片和一些外围器件组成。图 2 是其实现框图,虚线方框内功能在 FX60 内实现。在该设计中,借助于 OPB\_PCI,控制计算机可以通过 PCI 总线间接访问 DDR,而 PowerPC 可以通过 PLB(Processor Local Bus,处理器本机总线)总线直接访问 DDR,这样以 DDR 为中介实现了控制计算机和 PowerPC 的通信;PowerPC 通过 FPGA 配置模块能够加载用于信号处理的 LX160 芯片;GPIO(General Purpose I/O,通用输入输出)可以实现 PowerPC 与 LX160 的通信,从而执行其他的控制功能。下面将分别介绍各模块。

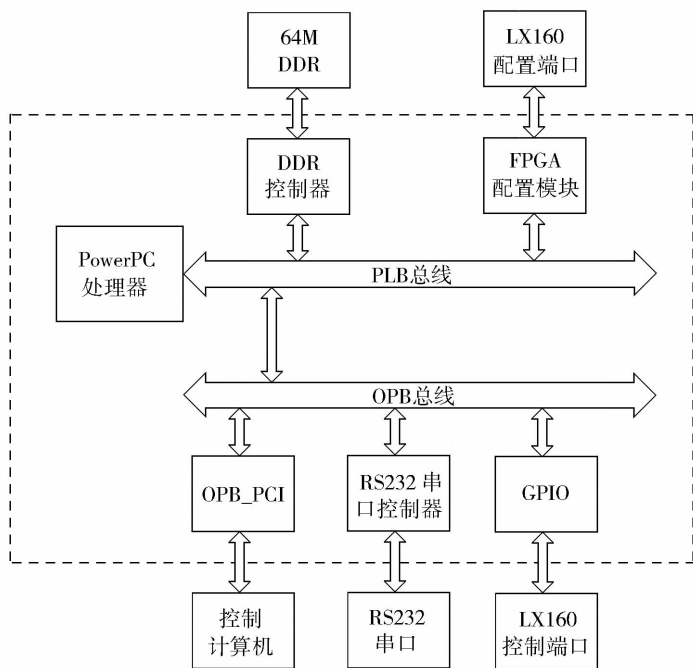


图 2 DBBC 控制功能硬件平台框图

Fig. 2 Hardware Platform of DBBC Controlling Part

**PowerPC 处理器:**内嵌于在 FX60 的 PowerPC405,32 位 RISC 硬核。

**PLB 总线接口:**用于 PowerPC405 内核与高性能设备的连接。

**OPB 总线接口:**片上外设总线,内核通过 OPB 来访问低速和低性能的系统资源。它不是直接连接到处理器内核。处理器内核借助于“PLB to OPB”桥,通过 OPB 访问外设;OPB 总线控制器的外设可以借助“OPB to PLB”桥,通过 PLB 访问存储器。

**DDR 控制器:**该控制器由 Xilinx 的 MPMC (multi-ported memory controller) 工具生成,用于连接 PLB 总线和外围 DDR 内存。

**FPGA 配置模块:**在 EDK 集成开发环境中生成的用户定制 IP,作为 PLB 总线的外设,其功能是从 PCI 总线上接收 LX160 的配置文件并对 LX160 做配置。

**OPB\_PCI:32bit 的 OPB 总线和 PCI 总线的连接桥。**该桥实现 OPB 总线和 PCI 总线(控制计算机的总线)的连接以及地址空间的映射。

**GPIO:**作为通用 I/O,实现 OPB 总线与其他外设的连接。在本设计中,主要用于连接实现信号处理算法的 FPGA 芯片 LX160。

下面将分别介绍几个重要模块的配置。

## 2.1 OPB\_PCI 的配置

该 IP 核由 Xilinx 公司提供,符合 PCI 2.2 标准,支持 33/66MHz、32/64 位数据的传输。关于该 IP 核的详细资料请查阅参考文献[15]。在本设计中采用 33MHz、32bit。

OPB\_PCI 的外围接口信号可分为两类:PCI 侧信号和 OPB 侧信号。前者是符合 PCI 总线规范的标准信号。该核的功能就是实现 PCI 侧信号和 OPB 侧信号的转换。在本设计中,OPB\_PCI 设置为 PCI 总线的从设备,将 DDR 的内存地址映射为 PCI 总线的地址,实现 PCI 总线对 DDR 的访问。主要的配置如下:

(1)设备 ID 和发行商的 ID:用于在整个计算机系统中唯一标识本设备。系统要靠这一标识来对其进行驱动程序的映射,只有硬件配置标识和驱动程序里面的标识相符时,设备才能被正确地驱动。由于 FPGA 芯片是 Xilinx 公司生产的,Xilinx 公司的 ID 为 0x10EE,设备 ID 只要与系统中其他设备不冲突即可。

(2)地址空间的映射:在本设计中,PCI 总线的地址空间由控制计算机的操作系统分配,对该地址空间的访问要转换成对 DDR 的访问,如果 DDR 在内存中基地址为 0x0,则将 PCI 总线到 OPB 总线的转换地址设置为 0x0 可实现上述目标<sup>[16]</sup>。

## 2.2 DDR 控制器的配置

在本设计中 DDR 内存由两片 Infineon HYB25D256160BT-7 芯片组成,共 64MB 的存储空间,每片 16bits 位宽,一起组成 32bits 位宽。DDR 控制器由 MPMC 工具生成。在使用该工具时,选择正确的 FPGA 型号、DDR 芯片型号以及 CPU 时钟、DDR 工作时钟、总线类型等。在本设计中,PowerPC405 的时钟为 300MHz,PLB 总线时钟和 DDR 工作时钟均为 100MHz。

该控制器外围接口信号有三部分:时钟相关信号、DDR 侧信号和 PLB 侧信号。时钟相关信号用来产生控制器工作时钟,包括输入时钟、90° 相移时钟和倍频时钟,在设计中由 DCM (digital clock management,数字时钟管理器)提供。DDR 侧信号连接到 DDR 芯片的对应端口。该控制器的功能是在通过 PLB 总线访问 DDR 时,将 PLB 总线信号转换成 DDR 的信号。

## 2.3 GPIO 的配置

GPIO 与信号处理的 FPGA LX160 相连接,实现对数字算法部分的控制,分为两部分:数据线和控制线。数据线为 34bits 双向总线,控制线为 12bits 单向总线。而每组 GPIO 最多 32bits,输入输出可以控制,因此需要两组 GPIO,第一组位宽为 32bits,方向为双向,全部用作数据线;第二组位宽为 14bits,其中低两位用于数据线、其余用于控制线。

### 3 控制功能软件设计

控制部分软件的设计目标是在控制计算机将控制操作命令通过 PCI 总线送到 DDR 后,PowerPC405 从 DDR 中读取控制命令,根据命令的类型,执行相应的操作,主要的操作有:配置 FPGA LX160、设置 BBC 通道参数、读取 BBC 通道参数和监测系统工作状态。

该部分全部在 EDK (Embedded Development Kit)中开发,以 C 语言编写程序。在本设计中没有使用操作系统,即 standalone 模式,在该模式下,开发的多个任务串行执行,而且 EDK 函数库提供硬件初始化和自带 IP 的底层驱动。控制功能软件设计流程图如图 3 所示。从系统上电软件程序开始运行,首先要扫描外设并对所有外设作初始化,然后循环读取并执行命令以及检测系统状态,直到系统断电程序停止运行。

根据不同的命令类型有三个子程序可供调用,分别实现上述三种操作:

```
int fpga_config (int baseaddr)    配置 LX160;
void bbc_para_set(int baseaddr)   设置 BBC 参
数;void bbc_para_read(int baseaddr)  读取 BBC 参数。
```

在程序的运行中需要访问 DDR、GPIO 和用户定制的 FPGA 配置模块。其中 GPIO 由 EDK 提供的驱动访问,主要有下面的函数:

```
Void XGpio_mSetDataDirection (Xuint32 BaseAddress, unsigned Channel, Xuint32 Direc-
tionMask) GPIO 读/写设置
Xuint32 XGpio_mGetDataReg (Xuint32 BaseAddress, unsigned Channel) 读 GPIO
Void XGpio_mSetDataReg (Xuint32 BaseAddress, unsigned Channel, Xuint32 Data) 写
GPIO
```

DDR 和 FPGA 配置模块的访问可以由通用的内存读写函数实现:

```
Xuint32 XIo_In32(XIo_Address InAddress)          内存读;
void XIo_Out32(XIo_Address OutAddress, Xuint32 Value) 内存写;
```

### 4 系统测试

FX60 在系统上电后从 PROM (Programmable read-only Memory) 读取配置文件完成自身加载并开始运行软件程序。控制计算机发出命令后,FX60 中的固件自动接收命令并根据命令类

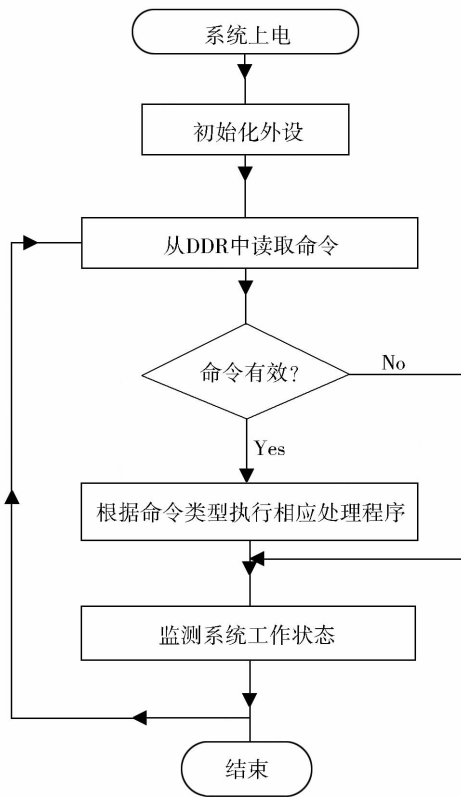


图 3 控制部分软件流程图

Fig. 3 The Software Flow of DBBC Controlling Part

型完成对 LX160 加载、BBC 参数设置或读取、系统状态监视。图 4 是控制计算机的命令窗口。在该窗口中,通过一些输入和点击操作,就可以完成 LX160 的配置和 BBC 参数的设置等功能并接收 DBBC 数字部分工作状态的反馈。

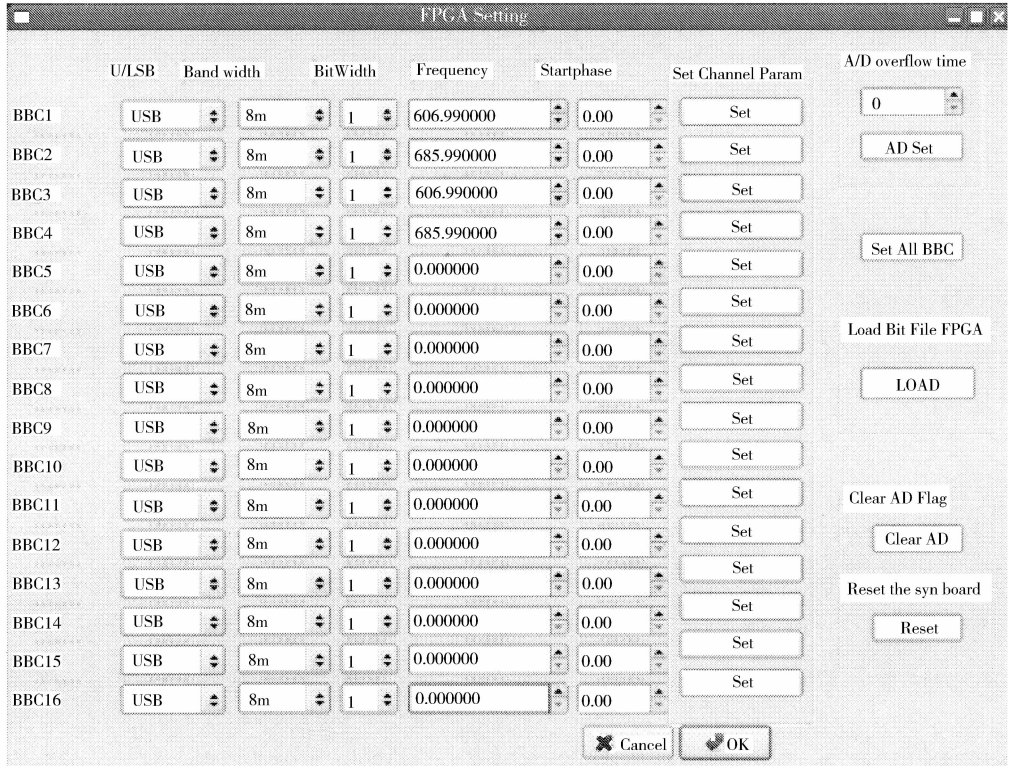


图 4 控制计算机的命令窗口

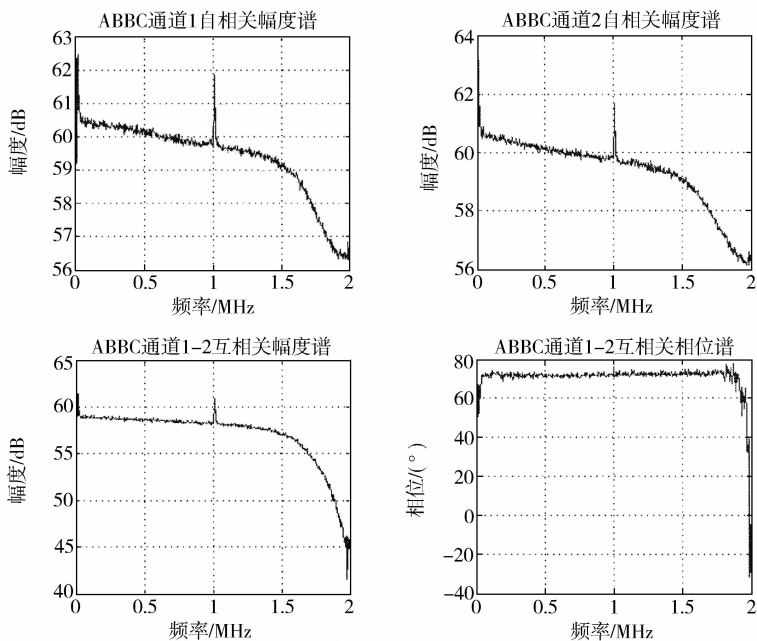
Fig. 4 The Window of Controlling Computer

DBBC 采集的数据通过 Mark5B 记录在硬盘中,以 Matlab 编写的程序处理记录的数据测试 DBBC 的性能,并与 ABBC 做比较。次页中图 5 是 2M 带宽的 ABBC 数据和 DBBC 数据的零基线处理结果。每幅图有四幅子图,分别是两个通道的自相关幅度谱和互相关的幅度谱、相位谱。从图中可看出,DBBC 能得到零基线条纹,条纹与 ABBC 相当。从带通性能上看,DBBC 在低频部分和高频部分都有一部分衰减较大,而 ABBC 仅在高频部分有衰减,但是从整个带宽上看 DBBC 的有效带宽略宽,而且带通更为平坦。从零基线条纹上看,目前 DBBC 两通道间的相位一致性比 ABBC 差,两通道间的延时较大,这个问题相信可由数字算法部分更精细的设计来解决,通过在相应通道内增加延时单元拉平各通道的延时,使得 DBBC 各通道的延时大致相等。

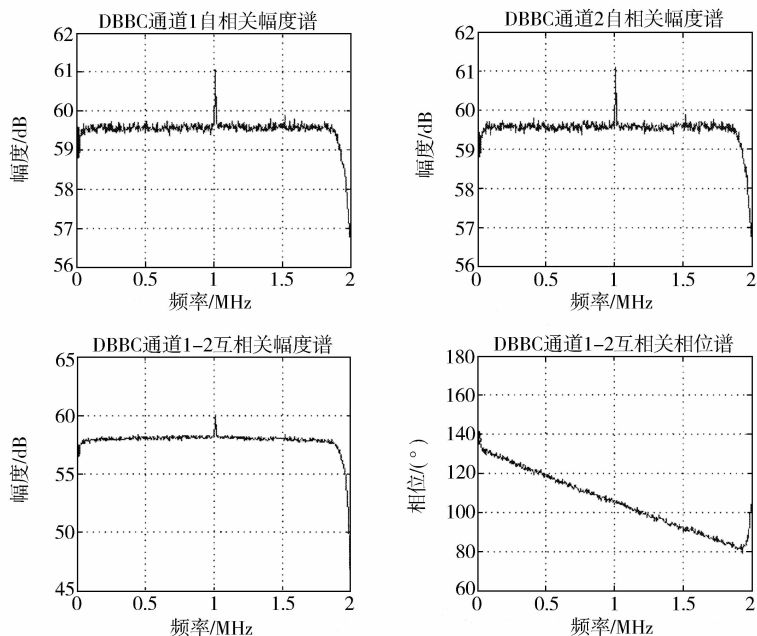
## 5 结 论

本文介绍了在 Xilinx FX60 FPGA 内,搭建基于 PowerPC 为 CPU 的嵌入式平台,其通过 PCI 总线接收控制计算机的指令,实现对 LX160 的配置以及设置 BBC 参数和读取 BBC 参数、对系

统的工作状态进行监视等控制功能。整个设计在一块 FPGA 芯片内完成,具有很高的集成度,而且由于 FPGA 的可编程特性,使得系统的升级比较方便。



(a) ABBC 零基线处理结果



(b) DBBC 零基线处理结果

图 5 2M 带宽 ABBC、DBBC 零基线处理结果比较

Fig. 5 Comparison of 2M between ABBC and DBBC

## 参 考 文 献

- [1] Gino Tuccari, Alan Whitney, Hans Hinteregger *et al.* Backend Systems-Perspectives in 2010, IVS 2004 General Meeting Proceedings, 2004, 80 ~ 84
- [2] Arthur Niell, Alan Whitney, Bill Petrachenko *et al.* VLBI2010: Current and Future Requirements for Geodetic VLBI Systems, IVS Memoranda 2006-008v01
- [3] Gino Tuccari, Alan Whitney, Hans Hinteregger *et al.* Tetsuro Kondo. IVS – WG3 Report on the Backend System, IVS Memoranda 2006-003v01
- [4] Gino Tuccari, Walter Alef, Alessandra Bertarini *et al.* DBBC Development Status, in: Progress in Technology Development and the Next Generation VLBI System, The 5th IVS General Meeting Proceeding, 2008, 376 ~ 380
- [5] Gino Tuccari. Development of a Digital Base Band Converter (DBBC): basic Elements and Preliminary Results, in: New Technologies in VLBI, ASP Conference Series, 2003, 306:
- [6] Gino Tuccari. DBBC – a Wide Band Digital Base Band Converter, IVS 2004 General Meeting Proceedings, 2004, 234 ~ 237
- [7] Gino Tuccari, Salvatore Buttaccio, Gaetano Nicotra *et al.* DBBC – A Flexible Platform for VLBI Data Processing, IVS 2006 General Meeting Proceedings, 2006, 185 ~ 189
- [8] Bill Petrachenko. VLBI2010 Digital Backend (DBE) Requirements, IVS Memoranda 2008-014v01
- [9] Hans Hinteregger. Low-Cost Wideband Digital Back – Ends for LOFAR-eVLBI-SKA, IVS 2004 General Meeting Proceedings, 2004, 238 ~ 242
- [10] Alan R. Whitney, Shep S. Doeleman, Brian Fanous, Hans F *et al.* A Wide-Band VLBI Digital Backend System, IVS 2006 General Meeting Proceedings, 2006, 72 ~ 76
- [11] Mamoru Sekido, Yasuhiro Koyama, Tetsuro Kondo. Introduction to K5 System, Fifth IVS Technical Operations Workshop, 2009
- [12] Xiang Ying, Gino Tuccari, Wei Wenren. FPGA Implementation in DBBC, IVS 2006 General Meeting Proceedings, 2006, 190 ~ 194
- [13] 项英. VLBI 数据采集终端中数字基带转换器的研究和设计(博士学位论文), 上海: 中国科学院上海天文台, 2005
- [14] Zhang Xiuzhong, Wei Wenren, Xiang Ying *et al.* Progress of Wideband VLBI Digital System Development at SHAO, Progress in Technology Development and the Next Generation VLBI System, The 5th IVS General Meeting Proceeding, 2008, 381 ~ 385
- [15] Xilinx OPB PCI v1.02a User Guide
- [16] Xilinx OPB PCI Full Bridge(v1.02a) Datasheet



# THE DESIGN OF CONTROLLING IP CORE OF DBBC DIGITAL PART

WU Ya-jun<sup>1,2</sup> XIANG Ying<sup>1</sup> ZHANG Xiu-zhong<sup>1</sup> ZHAO Rong-bing<sup>1</sup>

(1. Shanghai Astronomical Observatory, Chinese Academy of Sciences, Shanghai 200030;

2. Graduate School of the Chinese Academy of Sciences, Beijing 100049)

## Abstract

DBBC (Digital Base-Band Converter) is the key equipment of VLBI 2010 development plans of the International VLBI Service for Geodesy and Astrometry (IVS). Because of China's lunar exploration program, the Shanghai Astronomical Observatory is developing DBBC now. The DBBC consists of two parts: the analog radio part and the digital part. The controlling function of digital part is responsible for such tasks: configuring FPGA (Field Programmable Gate Array), setting BBC parameters (frequency and bandwidth), reading BBC parameters and monitoring the status of DBBC. In this article an embedded system based on PowerPC (hard core) and PCI bus controller (soft core), which are implemented in Xilinx FPGA FX60, is developed. According to the orders which are sent by the controlling computer, the embedded system executes different programs to obtain the controlling function.

**Key words** DBBC — controlling part — FPGA — PowerPC — OPB\_PCI