

直接数字频率合成低频信号源的设计与实现

Design and Implementation of the Low Frequency Signal Generator
Based on the Method of Direct Digital Frequency Synthesis

邹尔宁¹ 谢忠屏²

(北京联合大学信息学院¹,北京 100101;北京联合大学电子信息技术实验实训中心²,北京 100101)

摘要: 直接数字频率合成 DDFS 技术具有高分辨率、频率切换相位连续和易于集成等优点。根据 DDFS 的基本原理和性能特点,以正弦波为例,提出了直接数字合成信号源的设计方案,实现了 DDFS 在频率可控的任意波形合成器中的应用。在此方案中,调整时钟频率、累加器输入位数和累加器容量,可使输出频率覆盖超低频和低频,使频率覆盖系数 k 达到 10^9 ;同时,调整时钟频率与累加器容量的比值,还可得到任意所需的分辨率。

关键词: 直接数字频率合成 相位控制 相位累加器 信号发生器 频率合成器

中图分类号: TN74211 **文献标志码:** A

Abstract: Direct digital frequency synthesis (DDFS) features advantages of high resolution, phase continuous upon frequency switching and ease integration. By adopting DDFS basic principle and performance characteristics, with sine wave as example, the strategy for designing signal generator based on DDFS is proposed, the application of DDFS in any frequency controllable waveform synthesizer can be implemented with this strategy. The output frequency can cover ultra low frequency and low frequency and make the frequency coverage coefficient $k = 10^9$ only by adjusting clock frequency, number of input digits and capacity of the accumulator. In addition, any resolution needed can be reached by adjusting the ratio of clock frequency and capacity of accumulator.

Keywords: Direct digital frequency synthesis (DDFS) Phase control Phase accumulator Signal generator Frequency synthesizer

0 引言

正弦信号发生器的分类与其组成密切相关。按照传统的频段分类,超低频信号发生器的频率范围为 1 mHz ~ 1 kHz,低频信号发生器的频率范围为 1 Hz ~ 1 MHz。信号发生器在这两个频段的共同特点是频率覆盖范围宽,频率输出覆盖系数 $k = f_{\max}/f_{\min} = 10^6$,远远高于其他频段的频率覆盖系数,一般的 RC 振荡器或 LC 振荡器都无法达到^[1]。随着计算机技术的发展,数字技术已广泛应用于各类电子测量仪表,直接数字频率合成 DDFS (direct digital frequency synthesis) 技术就是随着计算机的高速发展在频率合成技术中开拓出的一个新领域,本文将在这方面对实用方案进行讨论。

1 直接数字合成信号原理

简单地说,数字合成信号原理就是将一个周期的正弦信号以一定的采样密度做数字量化,得到的数字样本存放在一个 ROM 中。首先计数器对时钟信号进

行计数,产生序列具有锯齿波特性的地址码;然后对 ROM 寻址;最后经 D/A 转换器将所得到的正弦数字样本还原成正弦波信号。DDFS 原理如图 1 所示。

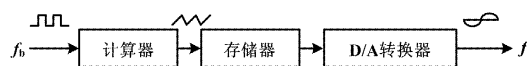


图 1 DDFS 原理图

Fig. 1 Principle of DDFS

正弦波信号的合成可以分为两个过程:首先是频率合成,即得到所需正弦信号的频率和频率调整的分辨率;其次是正弦信号合成,即将正弦数字样本还原成正弦信号^[2]。

1.1 传统频率合成方式

传统频率合成方法基本上可归纳为直接合成法和间接合成法两类。直接合成法是利用一个或几个基准频率,通过一系列倍频器(乘法)、分频器(除法)和混频器(加法或减法)完成代数运算,最后经窄带滤波器选出需要的频率。其优点是工作可靠、转换速度快,但是需要大量的混频器、分频器和窄带滤波器,体积大,难以集成化且成本高。间接合成法的核心是锁相环技术,为了合成所需要的频率,需要采用多种形式的锁相环,如混频环、倍频环、分频环和加法混频环等。多环

修改稿收到日期:2010-06-29。

第一作者邹尔宁,女,1956年生,1978年毕业于北京航空学院分院自动化专业,获学士学位,副教授;主要从事电子技术应用方面的研究。

式频率合成器克服了直接合成法的许多缺点,但不足之处是频率转换速度慢。上述两种频率合成法虽然是可控的,但其核心技术仍属模拟方式,当在频率覆盖系数 k 达 10^6 的超低频段与低频段,如果想得到高的分辨率,如 1 Hz、0.1 Hz 等,其复杂程度、调试难度和成本等会大大增加^[3]。

1.2 直接数字频率合成方式

直接数字频率合成方式首先依赖于信号合成的采样密度。所谓采样密度就是将一个周期的正弦信号分为 2^n 个等分进行采样(n 为比特值)。假设采样密度为 n 比特,则可得到 2^n 个正弦样本并把它们存放到 ROM 中。这里先假定 ROM 的字节长度为 m 位,它表示量化的精度,即把信号的峰-峰值分为 2^m 等分。在一个周期内,每个样本 Y_i 可由下式进行量化:

$$Y_i = (2^m - 1) \sin(2\pi i / 2^n), i = 0, 1, \dots, (2^n - 1) \quad (1)$$

式中: Y_i 为量化样本, i 为正整数; n 为采样密度; m 为量化精度。

当采样密度确定后,为了能够访问 ROM 中的 2^n 个正弦样本,还需要一个容量为 2^n 的计数器,以此得到 2^n 个的样本地址。这样,频率合成器输出频率 f 与基础时钟频率 f_b 之间的关系为 $f = f_b / 2^n$ 。显然, f_b 与 2^n 是固定值。因此,要改变输出频率 f , 只能对基频 f_b 进行硬件或软件方式分频,而分频系数只能是一个自然数 N , 所以 $f = C/N$, 其中 $C = f_b / 2^n =$ 常数。频率合成器的最高输出频率 $f_{max} = f_b / 2^n$, 最低输出频率 $f_{min} = f_b / 2^n / N_{max}$ (N_{max} 为最大分频数), 而其他频率则是 N 的倒数与 C 的乘积。显然这样的频率合成器的输出频率呈非线性, 无法产生任意的频率, 在实际应用中受到很大限制。

若不对基础的时钟频率分频, 而将计数器的容量增大, 假设为 2^L , 仍取计数器的高 n 位输出去寻址样本 ROM, 此时 $f = (f_b / 2^n) / 2^{L-n} = f_b / (2^n 2^{L-n}) = f_b / 2^L$, 因为 $L > n$, 所以输出频率降低。当取 $f_b = 2^L$ 时, 则有 $f = 1$ Hz。在这种情况下, f_b 与 L 一旦设定, 要想得到其他频率, 就只能对计数器本身进行改造, 一种可能的方式就是改变计数器的计数值来加快计数器的计数速度。

在数字电路中, 4 位累加器可以由 4 位全加器和 4 位 D 触发器组成。累加器可以串联成任意所需要的长度。假设它的长度为 L , 显然累加器产生一个 L 比特的二进制数, 其值在 $0 \sim (2^L - 1)$ 间线性增长。在时钟脉冲的作用下, 累加器的值以输入的增量或加数 δ 为增量增长。当累加器的值达到或超过其上限 $(2^L - 1)$ 时, 累加器复位回到 $0 \sim (\delta - 1)$ 间的某值, 再重新开始增长。这样, 累加器就输出一个有锯齿波特性的周期性二进制数, 其频率 $f = 1/T$, 其中, T 为累加器的溢

出周期(锯齿波周期)。4 位累加器示意图如图 2 所示。

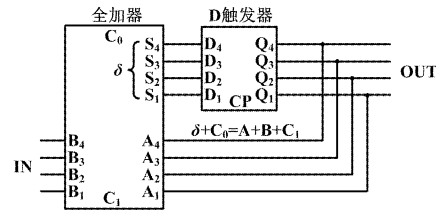


图 2 4 位累加器示意图

Fig. 2 Diagram of 4-digit accumulator

由于随着每个时钟周期累加器将增加一个 δ , 累加器溢出需经 $2^L / \delta$ 个时钟周期, 溢出周期为 $T = T_b (2^L / \delta) = (1 / f_b) (2^L / \delta) = 2^L / (f_b \delta)$, 所以, 累加器输出频率为 $f = 1/T = \delta (f_b / 2^L)$ 。显然, 当 $f_b = 2^L$ 时, 有 $f = \delta$ 。由此可见, 用累加器代替前面提到的计数器, 其初值就是所需要的频率。累加器是一种特殊的可变增量的计数器, 也可以说计数器是当增量或加数为 1 时累加器的一个特例。此时累加器本身就是频率合成器。直接数字式的频率合成过程使得频率合成器的频率精度和稳定性与采用的晶体管振荡器的本身特性相一致^[4]。

1.3 直接数字式信号合成

直接数字式信号合成依赖采样密度 n 与量化精度 m 这两个重要参数, 它们都用比特值来表示。数字式合成信号是由一系列细小台阶组成的, n 与 m 的值越大, 则合成的波形越接近原函数波形。在实用化设计中, n 与 m 受元器件速度与容量的限制, 同时 m 还受存储器字节位数的限制。通常存储器 EPROM 的每个存储单元字节长度为 8 位, 若将正弦信号正负半周作平移, 即对每半周信号波形做 256 级量化, 可将量化精度提高到 $m = 9$ 。此时, 采用 9 位 D/A 转换器, 其低 8 位来自存储器的两个半波的数字样本; 最高位来自频率合成器的最高位, 用于 D/A 转换器的符号或高低半程选择位。DDFS 原理图及其输出波形如图 3 所示。

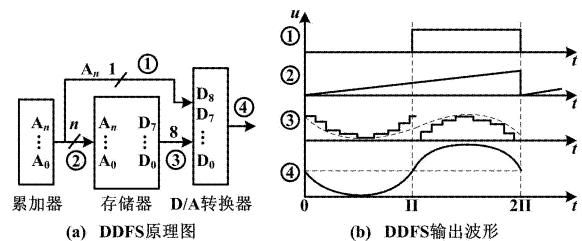


图 3 DDFS 原理图及其输出波形

Fig. 3 DDFS diagram and output waveforms

图 3(b) 中, 曲线①为频率合成器(累加器)的最高位; 曲线②为累加器输出(锯齿波特性的二进制数); 曲线③为存储器输出(波形样本); 曲线④为 D/A

转换器输出。

如进一步在此基础上将两个 8 位的存储器并联使用,量化精度最高可达 $m = 17$ 。这时采样密度的关系要复杂一些,D/A 转换器的速度会限制时钟频率的选择。一般常用高速 D/A 转换器的稳定时间为 100 ~ 500 ns,所以时钟频率最高不应超过 12 MHz。其次,一旦选定时钟频率 f_b ,还应考虑特征频率 f_c 的设计,而 $f_b = 2^n f_c$,显然采样密度的提高会牺牲特征频率。因此,应根据实际需要进行设计。

2 应用实例

实例逻辑电路如图 4 所示,量化精度 $m = 12$ 。两个 ROM 的同名地址中分别存放 11 bit 样本值的高 3 位和低 8 位,合成频率的最高位也作为 D/A 输入的最高位。

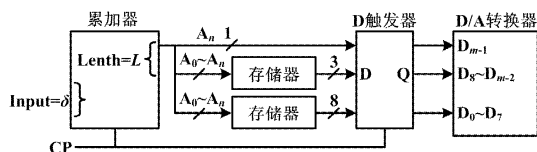


图 4 实例逻辑电路图

Fig. 4 Examples of logic circuit

2.1 参数设计

参数设计如表 1 所示。

表 1 参数设计

Tab. 1 Parameters design

参数名称	符号	设计值
采样密度	n	10 bit
量化精度	m	12 bit
时基频率	f_b	8.388 608 MHz
累加器长度	L	23 bit
频率分辨率	Δ	1
特征频率	f_c	8 192 Hz
输出频率	f	1 ~ 2 097 151 Hz
频率字	δ	1 ~ ($2^{20} - 1$)

2.2 参数分析

2.2.1 基础时钟频率

作为频率合成器,则根据数字元器件的速度,基础时钟频率 f_b 可高达几十兆赫兹。但考虑到信号合成受常用高速 D/A 转换器速度的限制, f_b 不应超过 12 MHz。本文采用两片美国国家半导体公司的廉价超高速 8 位 D/A 转换器 DC0800,拼接成 12 位 D/A 转换器,其稳定时间为 100 ns,则初定 f_b 为 8 MHz 左右的二进制数^[6]。

2.2.2 累加器长度与分辨率

当基础时钟频率 f_b 确定后,累加器长度 L 还与所

需要的分辨率 Δ 有关,当 $\Delta = 1$ Hz 时, $f_b = 2^L$ 。经计算, $L = 23$ bit, $f_b = 8.388 608$ MHz。在实验电路基础上,如欲将 Δ 提高至 1 MHz 时,应取 $L = 33$ bit,若设 $f_b = 8.589 935$ MHz,得累加器容量值是 f_b 的 1 000 倍,即 $\delta = 1$ 时, $f = 0.001$ Hz。由此,基础时钟频率、分辨率和累加器长度之间应满足 $f_b = 2^L \Delta$ 或 $\Delta = f_b / 2^L$ 。所以适当调整时钟频率与累加器容量的比值,便可得到任意所需的分辨率。

2.2.3 特征频率

特征频率 f_c 是指一个特殊的输出频率。当采样密度 n 确定后, f_c 即为 $f_b / 2^n$ 。实验电路中, $f_b = 2^{23}$ Hz, $n = 10$ bit,则 $f_c = 8 192$ Hz。因为要对 2^n 个正弦样本寻址,所以取累加器输出端高 n 位作为输出。经计算可知,当输出频率 $f < 2^{L-n}$ 时,要经过几个时钟脉冲才能使累加器输出加 1 (增加一个最小位 LSB)。当 $f = f_c = 2^{L-n}$ 时,随着每个时钟脉冲,累加器都会加 1,所以称 f_c 为特征频率。当 $f > f_c$ 时,随着每个时钟脉冲,累加器输出的增加会大于 1,即当 $f \leq f_c$ 时,采样密度 n 保持不变,输出波形的每个周期由 2^n 个细小的台阶组成;且当 $f > f_c$ 时,采样密度 n 下降,台阶个数相应减少,当 $f = 2 097 151$ Hz 时,采样密度下降到 $n = 2$,此时每个周期只由 4 个台阶组成。

如图 5 所示为实例中特征频率 f_c 、采样密度 n 和输出频率 f 之间的关系曲线。

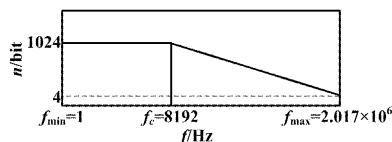


图 5 f_c 、 n 、 f 关系图

Fig. 5 Relationship of f_c 、 n and f

由图 5 可知,当 $f > f_c$ 时,采样密度 n 下降,描述正弦波形的阶梯变得粗糙。因此,应在 D/A 转换后插入低通滤波器,以得到干净平滑的正弦波形^[7]。

2.2.4 输出频率与频率字

由输出频率 $f = \delta(f_b / 2^L)$ 和 $\Delta = f_b / 2^L$,可得 $f = \delta \Delta$,这里频率字 δ 为累加器的预置值。由上所述,若设累加器长度 $L = 23$ bit,分辨率 $\Delta = 1$ Hz,且允许每周期最少采样次数为 4,则可取得累加器输入端低 21 位作为输入预置端, δ 的取值范围为 1 ~ ($2^{21} - 1$), $f = \delta \Delta$ 取值为 1 ~ 2 097 151 Hz。若设累加器长度 $L = 23$ bit,基频 $f_b = 2^{33} \times 10^3 = 8.388 608$ MHz,此时, $\Delta = 0.001$ Hz,若取同样的波形精度,则可设 31 位输入, δ 取值为 1 ~ 2 417 483 647,

(下转第 67 页)

表 1 试验结果对照表

Tab.1 Inter-comparison of the test results

占空比 D/%	滤波后 的电压值 V _{INP} /V	实际 电流值 I _{RL} /mA	电流 拟合值 /mA	理想 电流值 /mA
10	0.505	3.997	3.997 0	4
20	1.024	5.993	5.994 5	6
30	1.544	7.993	7.992 0	8
40	2.063	9.990	9.989 5	10
50	2.582	11.987	11.987 0	12
60	3.102	13.987	13.984 5	14
70	3.621	15.983	15.982 0	16
80	4.140	17.980	17.979 5	18
90	4.659	19.977	19.977 0	20

从表 1 可以看出,当 PWM 信号的占空比 D 从 10% ~ 90% 变化时,滤波后的电压按线性增长,经 AM462 转换后,变为按线性增长的电流值。

当占空比为 60% 时,实际值与拟合值的最大偏差 $\Delta L_{\max} = 2.5 \times 10^{-5}$ mA,则按照端点直线拟合的方法求得线性度为^[7]:

$$\gamma_L = \frac{\Delta L_{\max}}{Y_{FS}} \times 100\% = \frac{2.5 \times 10^{-5}}{(19.977 - 3.997)} \times 100\% = 0.015\%$$

当占空比为 90% 时,实际值与理想值的最大偏差 $\Delta I = 2.3 \times 10^{-2}$ mA,其精度为:

$$\gamma_I = \frac{\Delta L_{\max}}{(I_{\max} - I_{\min})} \times 100\% = \frac{2.3 \times 10^{-2}}{(20 - 4)} \times 100\% = 0.14\%$$

从计算的结果来看,该电路的线性度达到 0.015%,精度达到 0.14%,验证了该电路的正确性。

6 结束语

本文设计了一种 D/A 变换电路,可以将 DSP 产生的 PWM 信号变换为工业上常用的 4 ~ 20 mA 标准电流信号,并通过改变 PWM 信号的占空比来控制电流大小;同时,对 PWM 信号的幅值与频率对滤波后电压响应速度的影响也作了有效探讨。该电路将电压电流变换电路与 DSP 技术相结合,便于实现对输出电流信号的精确控制,适用于工业标准电流信号的输出。

参考文献

- [1] 王立华,韩敬东,邵玉芹,等.基于 DSP 的 4 ~ 20 mA 电流环的设计[J].工矿自动化,2008(2):121 - 123.
- [2] 郑黎明,王书祗,唐春辉.基于 4 ~ 20 mA 标准的智能仪表设计[J].汕头大学学报:自然科学版,1999,14(2):47 - 50.
- [3] Rauch N,施林生.将单片机 PWM 信号变送成工业标准电流输出 4 ~ 20mA[J].传感器世界,2006,12(10):22 - 25.
- [4] 施林生.多用途的变送集成电路 AM462[J].仪表技术与传感器,2004(4):45 - 46.
- [5] 夏显明,周万里.AM462 在电压信号转换成电流信号中的应用[J].机电设备,2006,23(1):33 - 35.
- [6] 陈清洪,稀永秋,蒙建波.一种用于工业以太网的电压电流变换电路研究[J].自动化与仪器仪表,2006(6):25 - 26.
- [7] 彭俊珍.直线拟合对传感器线性度的影响[J].湖北职业技术学院学报,2005,8(3):73 - 76.

(上接第 63 页)

$f = \delta\Delta$ 取值为 0.001 ~ 2 417 483 Hz。显然,只要调整时钟频率、累加器输入位数和累加器容量,就可以轻易地使输出频率覆盖超低频和低频,使频率覆盖系数 k 达到 10^9 。

3 结束语

本文以正弦波为例,讨论了直接数字合成信号源,但实际上只要更换数字样本即可生成任意所需要的函数波形。DDFS 技术的应用使电子测量技术中这一非数字化领域实现了完全数字化。

与传统模拟信号发生器相比,直接数字合成技术具有以下优越性:①极宽的频率覆盖;②频率的准确度、稳定性与锁相环式合成器一致,频率切换快,频率切换时相位连续,且失真更小、成本更低;③可任意设计频率分辨率,波形精度高;④可将累加器、ROM、D/A

和微处理器集成于一片 IC 之内。DDFS 技术现已广泛应用于通信、导航、雷达、遥控遥测等现代化仪器仪表工业领域。

参考文献

- [1] 常新华,林春勋.高频信号发生器原理、维修与鉴定[M].北京:电子工业出版社,1996:10 - 21.
- [2] 崔建鹏,赵敏,江帆.采用 DDS 技术实现的虚拟任意波形发生器[J].计算机测量与控制,2003,11(7):553 - 555.
- [3] 许慧波,张厥盛.DDS-直接数字式频率合成器综述[M].西安:西安电子科技大学出版社,1989:36.
- [4] 白居宪.直接数字频率合成[M].西安:西安交通大学出版社,2007:35.
- [5] 董爱华.检测与转换技术[M].北京:中国电子工业出版社,2007:261.
- [6] 余孟尝.数字电子技术基础简明教程[M].北京:高等教育出版社,2001:166 - 174.
- [7] 陈高松,雷加,郭庆.电子测量与仪器[M].北京:电子工业出版社,2005:89 - 105.