

文章编号:1001-5132 (2008) 04-0505-05

# 基于 CPLD 数字电子技术实验平台的设计与实现

文 雯, 李 宏

(宁波大学 信息科学与工程学院, 浙江 宁波 315211)

**摘要:**以 ALTERA 公司 CPLD 器件 MAXII EPM1270 为系统核心, 构建了一种将数字电路实验和系统可编程实验集于一身的综合实验平台. 平台能提供 4 种不同电路结构的工作模式, 既可以在可编程逻辑器件 FPGA/CPLD 上完成 EDA 实验, 又提供给学生自由发挥的自助实验区; 还配有 DDS 函数信号发生器、等精度频率计、逻辑笔、脉冲信号源等模块, 可完成小至一般数电实验大至数字系统的设计. 实际使用效果表明: 该实验平台较好地满足了数字电子类实验课程需要, 在提高学生对课程理解和应用方面有着积极作用.

**关键词:**数字电子技术; 在系统可编程; CPLD; 多模式配置

中图分类号: TP302

文献标识码: A

随着科学技术的发展, 尤其是微电子技术和计算机技术取得的重大进展, 数字逻辑器件已由中、小规模集成电路发展到大规模和超大规模可编程逻辑器件(PLD). 现代数字电子技术的主要教学内容也逐步向中大规模、超大规模集成电路和可编程器件转移, 教学中普遍增加硬件描述语言(HDL), 设计方法也从传统的手工设计转向用 EDA 工具进行设计<sup>[1,2]</sup>.

教学内容的改革迫切要求有与之配合的实验设备, 但目前市场上主流的实验设备依然停留在传统的小规模通用集成电路与连线相结合的方式, 设计中只能采用手工方法, 使用分立器件、小规模集成电路及其组成的各种功能电路来完成实验, 无法满足现代电子技术教学和学生实践能力培养的需要<sup>[3]</sup>. 市场上也有纯粹的 EDA 技术实验箱, 但只能

完成可编程实验, 且内部的连线已被固定, 电路结构无法变化, 导致用户无法根据自己需要来改变连线结构, 只能完成一些固定实验项目, 极大地限制了实验项目数量, 难于适应多种需求的开发设计<sup>[4]</sup>. 这些都无疑极大地限制了学生的想象力、主观能动性和创新思维的发挥.

本文所设计的综合实验平台将传统数字电路实验和系统可编程实验集于一身, 具有多种工作模式, 独创性地配制让学生自由发挥的自助实验区, 还配有 DDS 函数信号发生器、等精度频率计、逻辑笔、脉冲信号源等模块, 可完成小至一般数电实验大至数字系统的设计. 适应了当前数字电路从集成器件向在系统可编程器件发展的趋势, 与同类实验平台相比, 具有功能强大、面对对象广、实验内容新颖、实验设计灵活实用等特点, 对提高学生

的动手能力,创新能力有很大的帮助.

### 1 总体设计方案

实验平台设计上充分考虑实验教学需求.为使实验平台既支持在系统可编程实验,又能完成数电实验,创新性地采用可编程实验区结合自助实验区结构方式,将可编程实验与传统实验紧密结合.可编程实验区以可编程核心板为设计主体,可完成各类 EDA 实验.自助实验区设有各类 IC 插座、电阻电容,还有 8 位与可编程实验区复用逻辑电平输入、输出端口,可完成中小规模 IC 的相关实验,也可与可编程实验区互连完成综合设计性实验.

为向用户提供更丰富的电路资源,完成尽可能多的实验项目,平台利用多模式技术“分时复用”系统资源,在不同模式下对用户呈现不同的电路结构.为适用更多类型的可编程器件,方便设备维修管理,将实验主板和可编程核心板独立设计,并将下载电路设计在核心板上.为减少额外仪器使用,平台上设计有 DDS 函数信号发生器、等精度频率计、逻辑笔、脉冲信号源等模块<sup>[5]</sup>.

根据上述设计思想和功能要求,实验平台总体结构如图 1 所示,它以 ALTERA 公司 CPLD 器件 MAXII EPM1270 作为系统核心,配合可编程目标板接口电路、复位电路、时钟源电路、按键接口电路、LED 显示模块电路、数码管显示电路、A/D 和 D/A 转换电路、DDS 函数信号产生电路、测频

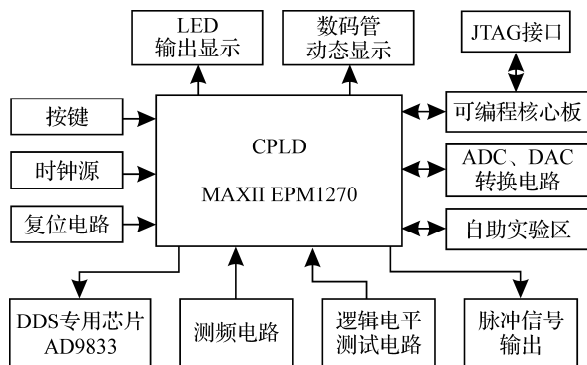


图 1 实验平台总体结构框图

电路、逻辑电平测试电路以及脉冲信号源产生电路等其他电路资源.

### 2 具体设计及实现技术

根据上述设计方案,系统整体功能由 CPLD 控制外围电路实现,根据用户模式设置,改变按键、LED、数码管与可编程核心板、自助实验区等的连线方式,控制 A/D、D/A 转换电路,构成多模式系统.同时,CPLD 与 DDS 芯片和数字电位器通信实现函数信号器,以等精度测量方式实现频率计,配合逻辑电平比较电路实现逻辑笔.2 路 32 种频率的脉冲信号源也由 CPLD 对时钟源分频得到.

#### 2.1 系统的多模式技术

多模式是实验平台关键技术,它是指实验平台从物理结构上看电路结构是固定的,但内部的信息流在主控制器 MAXII EPM1270 控制下,对用户呈现不同的电路结构,该功能由 CPLD 内部 3 个用 VHDL 描述的模块实现,整个设计如图 2 所示.

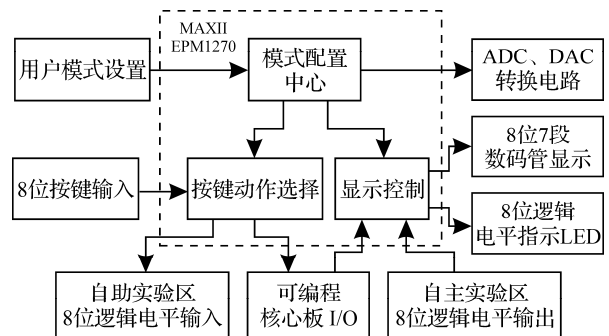


图 2 多模式配置原理

模式配置中心根据用户模式输入,在不同模式下,分别控制按键动作选择模块和显示控制模块执行不同动作,并控制 AD 和 DA 转换电路.

按键动作选择模块将 8 位按键信号在不同模式下,配置为高低电平输入、200 ms 单次脉冲输入、4 位 BCD 码输入以及 4 位二进制码输入等不同功能,输出至可编程核心目标板不同端口和自助实验区 8 位逻辑电平输入端口处.

显示控制模块将可编程核心板的不同端口信

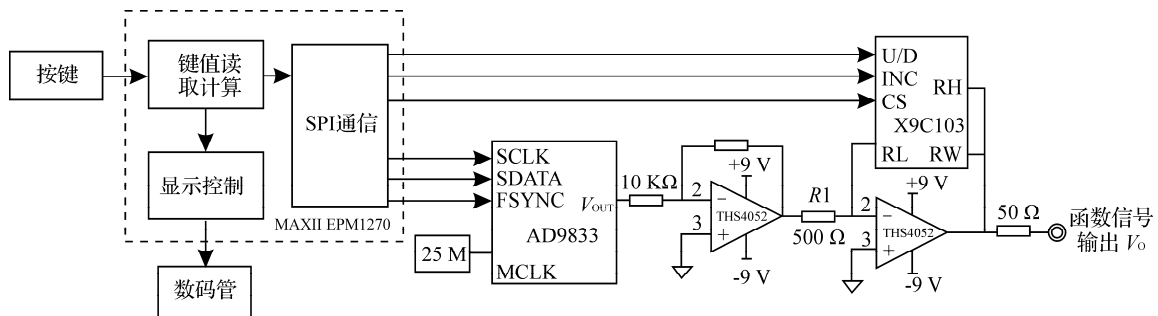


图 3 DDS 信号发生器电路结构

号和自助实验区 8 位逻辑电平输出信号按照不同译码方式显示在 8 位 7 段数码管和 8 位逻辑电平指示 LED 上. 数据既可以将按 BCD 译码、16 进制译码、7 段译码方式显示在数码管上, 也可以按并行方式或串行移位方式显示在 8 位 LED 上.

根据实验需要, 系统共设 4 种模式分别适用于组合电路、时序电路、模数混合系统、自助实验等 4 种类型实验, 极大增加了系统扩展性, 更程度地利用资源, 从而能完成更多的实验项目.

### 2.2 DDS 函数信号发生器设计<sup>[6]</sup>

DDS 函数信号发生器以高精度可编程波形发生芯片 AD9833 和数字电位器 X9C103 为核心, CPLD 通过 SPI 接口与它们通信, 控制输出信号波形、幅度及频率, 电路结构如图 3 所示.

通过设置 AD9833 内部控制寄存器确定输出的信号类型(正弦、方波和三角波), 设置 28 位的频率寄存器初值  $k$  以决定输出信号频率, 输出信号频率公式为:

$$f_{out} = k \times f_{mclk} / 2^{28},$$

其中,  $f_{mclk}$  为主频时钟, 当为 25 MHz 时, 频率分辨率可达 0.1 Hz.

AD9833 输出的信号经 THS4052 高速运放反相放大输出. 设置 X9C103 控制寄存器确定数字电位器的抽头位置, 通过改变电阻值改变后级反比例放大电路放大倍数, 输出信号幅度为:

$$V_0 = V_{out} \times R_x / 500,$$

其中,  $V_{out}$  为 AD9833 输出, 约为 0.6 V,  $R_x$  为数字电位器的电阻, 抽头数为 100, 可以实现 50 mv 的

精度. 为保证信号无失真放大, 系统采用了高速运放 THS4052.

输出波形、频率及幅值设定后, 可先计算出对应的 DDS 频率寄存器初值以及数字电位器的抽头位置值, 随后为 AD9833 复位(控制寄存器的 D8 位(RESET)写 1), 之后则为写控制寄存器、频率寄存器, 然后 AD9833 输出刷新(控制寄存器的 D8 位(RESET)写 0), 同步输出所有函数信号, 最后根据幅度设置要求, 将控制字写入 X9C103, 改变其电阻值, 进而改变输出信号幅度. 总体软件控制流程如图 4 所示.

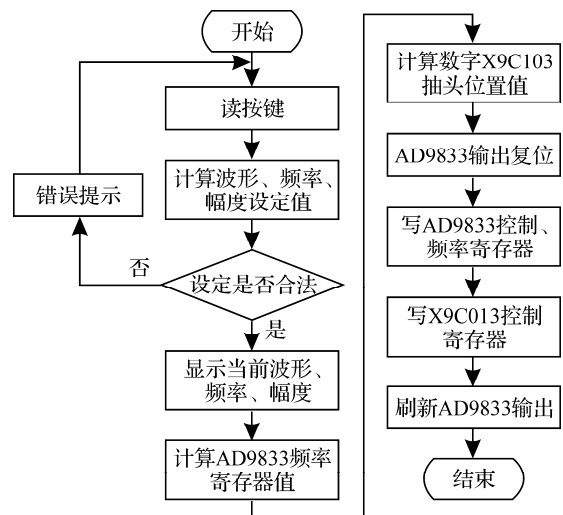


图 4 软件控制流程

实验平台的函数信号发生器能提供三角波、方波和正弦波 3 种波形信号, 频率调节范围为 1 Hz ~ 999 KHz, 其输出频率稳定度优于  $10^{-4}$ , 频率分辨率为 0.1 Hz, 幅度调节的范围从 0.5 ~ 5 V, 且共分 10 档.

### 2.3 逻辑笔的实现技术

逻辑笔是数字电路常用的测试工具,实验平台利用 CPLD 配合双路低功耗高速电压比较器 MAX 9107 实现了 1 个 TTL/CMOS 电平兼容,能指示高电平、中电平、低电平、高阻态,脉冲信号的逻辑笔电路结构图如图 5 所示.

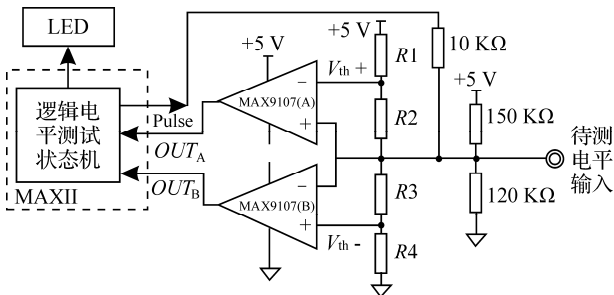


图 5 逻辑笔结构图

通过电阻分压得到高低电平阈值电压  $V_{th+}$ ,  $V_{th-}$  作为 MAX9107 的参考电压,比较结果  $OUT_A$ 、 $OUT_B$  输出至 CPLD 判断处理,CPLD 输出 Pulse 信号用于高阻态和中电平的区分.逻辑电平的判断是在 CPLD 内用状态机实现的,各状态转换如图 7 所示.初始状态为  $S_0$ ,  $OUT_A=0$ ,  $OUT_B=1$  时,进入  $S_1$  状态,为低电平; $OUT_A=1$ ,  $OUT_B=0$ ,进入  $S_2$  状态,为高电平;其他值时进入  $S_3$  状态,区别高阻和中电平;Pulse 首先输出高电平,若满足  $OUT_A=1$ ,  $OUT_B=0$ ,则 Pulse 接着输出低电平,进入  $S_4$  以进行下一步测试,若  $OUT_A=0$ ,  $OUT_B=1$ ,则进入  $S_5$ ,为高阻态;否则进入  $S_6$ ,为中电平.

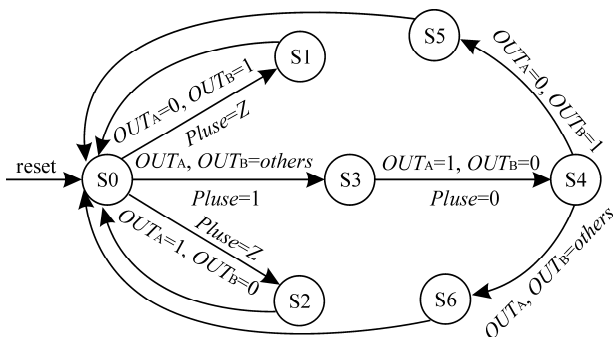


图 6 逻辑电平测试状态转换图

### 2.4 等精度频率计及脉冲信号源设计

待测信号经过整形电路作为 CPLD 的输入信

号,在 CPLD 上利用等精度频率测量原理<sup>[7]</sup>,实现在 1 Hz~999 KHz 范围内全频段相对误差为 0.1%,频率分辨率优于 1 Hz 的频率计.等精度测频的方法由图 7 说明,当检测到被测信号  $f_x$  的上升沿后,闸门控制模块打开闸门,同时对被测信号  $f_x$  和基准频率信号  $f_s$  计数,计数完预定时间后,并不立即结束,直至被测信号的下一上升沿时计数才停止,这样保证了在任何频率条件下测量时间总是被测信号的整数倍周期,则被测信号频率为:

$$f_x = (f_s / N_s) \times N_x,$$

其中,  $N_s$ ,  $N_x$  分别为实际闸门时间内基准频率和待测频率计数值,基准频率信号  $f_s$  由 50 MHz 晶振信号分频得到.闸门关闭后将结果输出至除法器进行计算,计算结果转为 BCD 码后在数码管显示.

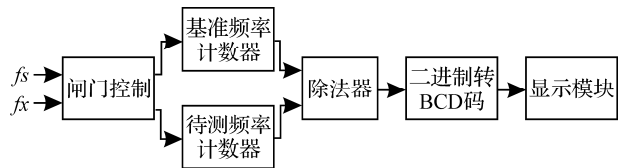


图 7 等精度频率计结构图

脉冲信号是数字电子技术中常用的信号之一,实验平台上由 CPLD 对 50 MHz 和 11.095 2 MHz 晶振信号分频得到了 2 组 16 档 0.5 Hz~50 MHz 不同频率脉冲信号,完全满足实验需求.

## 3 总结

本文介绍的数字电子技术实验平台既可完成传统数字电路实验,又支持在系统可编程实验,采用开放式结构、模块化设计、模式可配置技术,具有功能强大、对象广泛、实验内容新颖、实验设计灵活使用等特点.目前,已在我校数字电路实验等课程中投入使用,实际使用效果表明,该实验平台性能稳定、可靠性高,较好地满足了实验教学要求,学生学习热情很高,取得了明显的教学效果,实现了“既支持设计为主实验,又兼容验证模式实验”的教学改革目标,对提高学生的设计和创新能力有

较大帮助. 该实验平台也适用于 EDA 技术实验、数字系统设计实验及电子设计竞赛培训等课程.

#### 参考文献:

- [1] 刘银萍, 陈惠珊. “数字电子技术”实验教学改革的探讨[J]. 实验室研究与探索, 2006, 25(8):981-983.
- [2] Kamai S A. Digital circuit using FPGAS[J]. Computers & Industrial Engineering, 1996, 31(1/2):127-129.
- [3] 沈鸿星. CPLD 数字实验系统设计[J]. 中国教育技术设备, 2006(6):61-62.
- [4] 雷雪梅, 李树华. EDA 教学实验箱的设计[J]. 内蒙古大学学报, 2004, 35(3):344-347.
- [5] 李宏, 文雯. 一种新型数字电路与系统实验平台: 中国, 200720105545.4[P]. 2007-12-03.
- [6] 刘国良, 廖力清, 施进平. AD9833 型高精度可编程波形发生器及其应用[J]. 国外电子元器件, 2006(6):44-47.
- [7] 潘松, 黄继业. EDA 技术实用教程[M]. 北京: 科学出版社, 2005.
- [8] 蒋璇, 臧春华. 数字系统设计与 PLD 应用[M]. 北京: 电子工业出版社, 2005.
- [9] 曹华伟, 麦宋平, 徐鸿. 大规模可编程逻辑器件实验箱的研制[J]. 实验技术与管理, 2004, 21(2):27-29.

## Design and Implementation of Digital Electronic Technology Experiment Platform Based on CPLD

WEN Wen, LI Hong

( Faculty of Information Science and Technology, Ningbo University, Ningbo 315211, China )

**Abstract:** An integrated platform is presented on which both digital circuit experiment and in-system programmable experiment can be carried out .The platform is constructed on the basis of the CPLD MAXII EPM127 of ALTERA and consists of 4 work modes. These modes are engineered not only for in-system programmable experiments but also for a variety of digital circuit designs. The platform developed is also equipped with several components such as DDS function signal generator, logical pen, and pulse signal generator. The performance test results indicate that the platform adequately satisfies the need of digital electronic technology experiments curricula, and is conducive to students for better comprehension and application of courses.

**Key words:** digital electronic technology; in-system programmable; CPLD; multimode configuration

**CLC number:** TP302

**Document code:** A

( 责任编辑 章践立 )