

- ▶ 科研成果
- ▶ 研究专题
- ▶ 获奖

三维芯片热分析自适应算法研究及并行软件研制取得进展

【大中小】 【打印】 【关闭】

2018-04-30 | 编辑: 文/材料环境部 崔涛

三维芯片作为一种全新的集成电路芯片结构,具有集成度高、功耗低、带宽高、面积小、互连线短、支持异构集成等特点,成为延续集成电路摩尔定律的有效途径之一,引起了诸多工业厂商和研究机构对其的重视。三维芯片将不同电路单元制作在多个平面晶片上,并通过硅通孔(Through Silicon Vias, TSV)层间垂直互连技术将多个晶片堆叠互连(如图1)。层叠使得散热问题成为三维芯片设计的首要问题,过高的发热量和较差的散热性将导致集成电路性能失效、可靠性降低及使用寿命缩短。传统的热分析方法和EDA工具都难以满足三维芯片高精度热分析的需求:解析或者半解析热分析模型,采用材料局部均匀化的模型,无法准确建模TSV结构在三维芯片的散热中的作用;有限差分或有限元方法等数值分析方法面临处理由于成百上千复杂TSV结构带来的大规模计算挑战。亟需发展全新的三维芯片热分析方法和EDA工具。

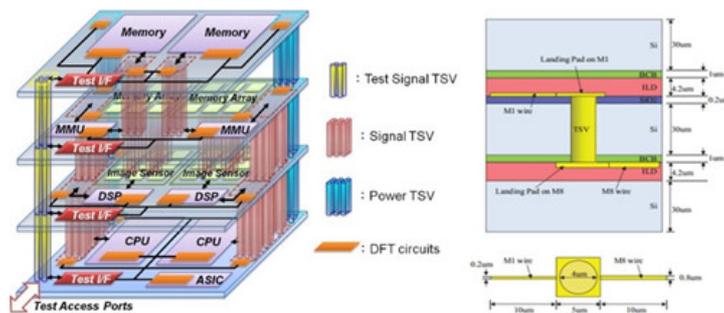


图1. 三维芯片结构

近期,材料环境部崔涛与专用集成电路国家重点实验室周浩、朱恒亮等人合作,首次提出了一套基于区域分解和网格二分加密的并行自适应有限元方法用于求解三维芯片热应力问题。他们结合后验误差估计和TSV先验信息设计了KONU(Knowledge Oriented Non-Uniform)自适应加密策略。新方法具有高精度、高并行可扩展性、精度可控的特点。数值实验证明,同ANSYS软件相比,新方法可以使单根TSV应力仿真的平均误差比率从9.21%降低到1.26%。KONU加密策略还可以同过减少自适应加密的次数来提高并行自适应有限元的效率,在同样精度的前提下,比其他加密策略相比快1.97倍,比ANSYS软件快12.45倍。主要工作发表在IEEE Transactions on Very Large Scale Integration Systems杂志。

基于PHG并行自适应有限元软件开发平台及集成电路参数提取软件包开发基础,研制了支持MPI和OpenMP混合并行的ParAFEMThermo工具包。在使用到1024个CPU核心时,强可扩展性和弱可扩展性分别是73.60%和81.4%。该工具包目前支持在神威太湖之光主核上计算,正在开展利用从核计算的移植工作。

新的自适应有限元方法和工具包已应用于应力导致的载流子沟道迁移率变化分析、互连线和TSV的电迁移分析以及微针肋结构的可靠性分析(图4):采用ParAFEMThermo工具包后,线性叠加法对载流子沟道迁移率变化分析的误差从26.57%降低到小于1%(如图2),能有效避免三维芯片物理设计中对应力引起的时序变化的错误估计;采用初网格和自适应计算的热残余应力具有很大的误差(如图3),使得预估因电迁移导致的失效时间误差将高达86.74%。

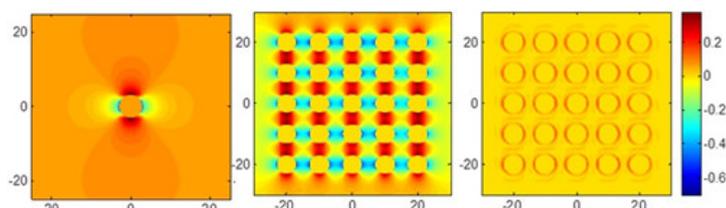


图2. (左) 单个TSV精确载流子迁移率变化; (中) 5×5 TSV阵列 自适应方法计算的载流子迁移率变化 (右) 5×5 TSV阵列, ANASYS计算绝对误差 (粗网格)

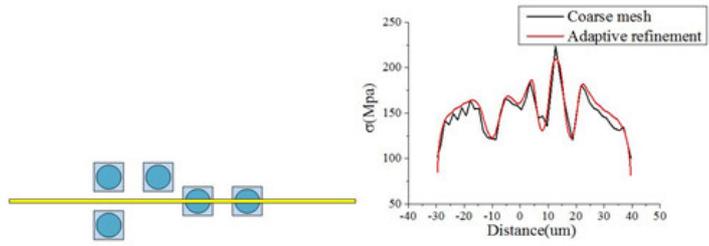


图3. (左) 有多个TSV在附近的片上互连线 (右) 互连线热残余应力分布

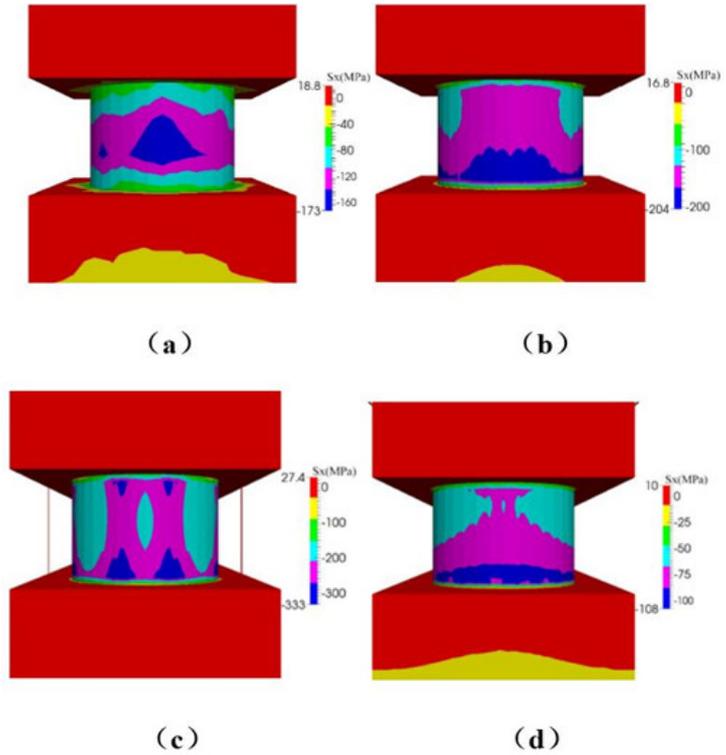


图4. 微针肋结构的可靠性分析: (a) 用粗网格计算的具有12个TSV (半径20微米) 的微针肋结构的应力分布图; (b) 用加密后的网格计算的具有12个TSV (半径20微米) 的微针肋结构的应力分布图; (c) 具有12个TSV (半径24微米) 的微针肋结构的应力分布图; (d) 具有4个TSV (半径20微米) 的微针肋结构的应力分布图

[1] H. Zhou, H. Zhu, T. Cui, D. Z. Pan, D. Zhou and X. Zeng, "Thermal Stress and Reliability Analysis of TSV-Based 3-D ICs With a Novel Adaptive Strategy Finite Element Method," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems. doi: 10.1109/TVLSI.2018.2811417